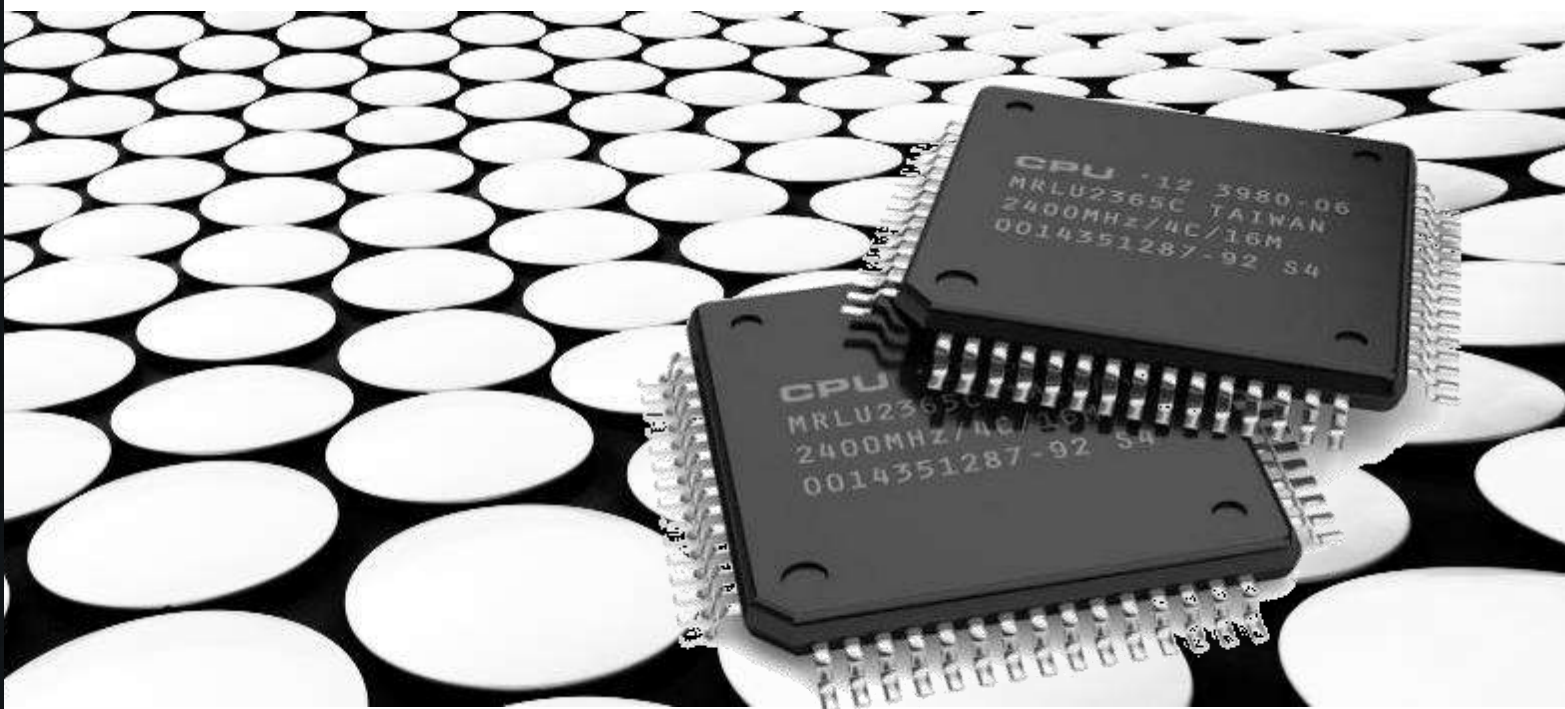
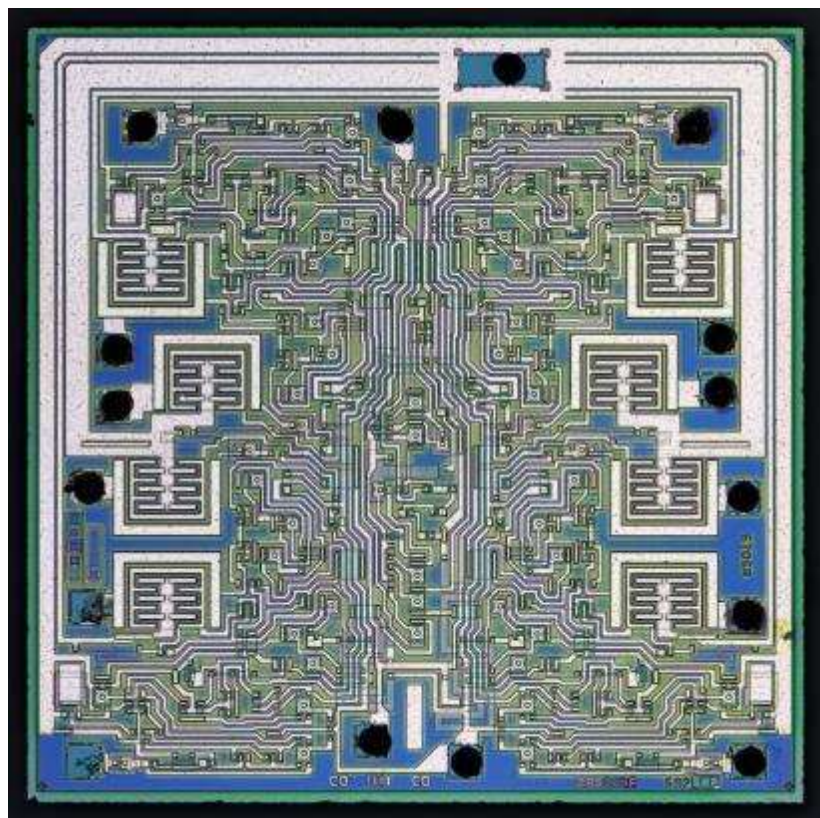


ФИЗИКА И СХЕМОТЕХНИКА ИНТЕГРАЛЬНЫХ СХЕМ

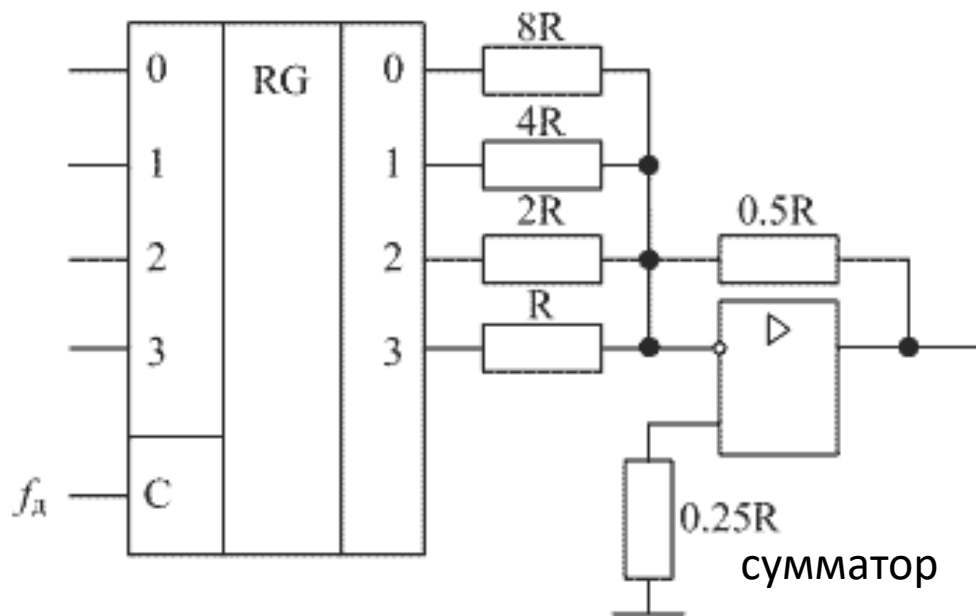
ЛЕКЦИЯ 6. СХЕМОТЕХНИКА ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ (ЧАСТЬ ВТОРАЯ)



ЦИФРО-АНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ (ЦАП, DAC)

ЦАП предназначен для преобразования цифрового кода на входе в соответствующий уровень напряжения на выходе.

Работа одного из ЦАП параллельного типа основана на суммировании токов, сила каждого из которых пропорциональна весу двоичного разряда.



Повышение разрядности ЦАП ограничено точностью изготовления резисторов больших номиналов.

ЦАП могут быть классифицированы по схеме реализации:

- параллельные с суммированием:
 - напряжений
 - зарядов
 - токов
- последовательные:
 - с широтно-импульсной модуляцией
 - на переключаемых конденсаторах
- прямого преобразования

ЦАП РАЗЛИЧНОГО ТИПА

Быстродействие ЦАП определяется частотными свойствами управляющих ключей. Так, время установления выходного напряжения для общедоступных серий ЦАП с ключами на МОП-транзисторах обычно не менее 10 мкс.

При работе быстродействующих ЦАП могут наблюдаться импульсные помехи, возникающие из-за рассогласования переключения управляющих ключей в разных разрядах ЦАП.

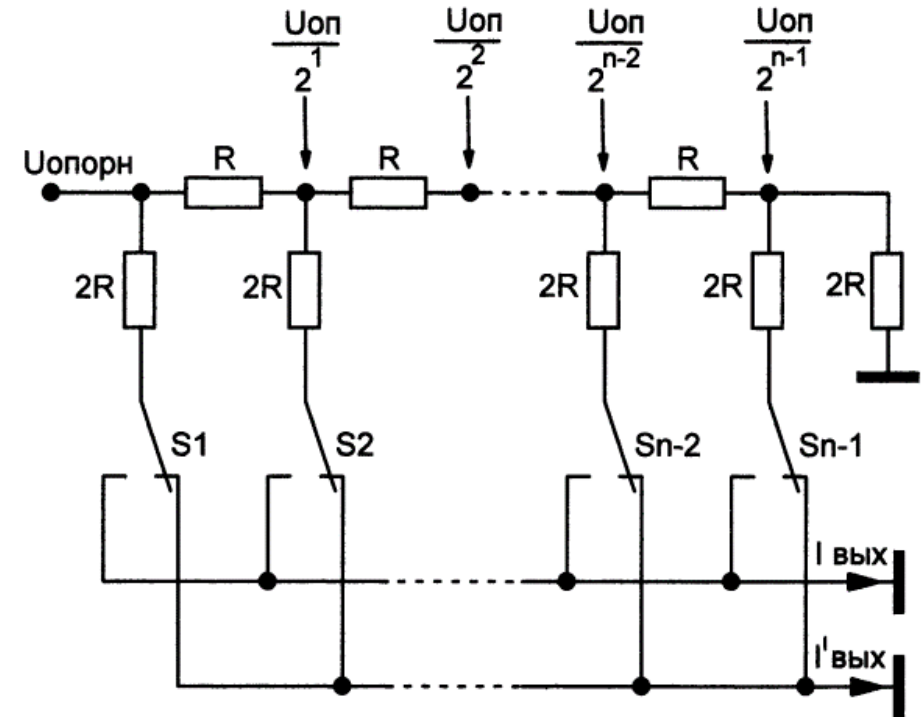
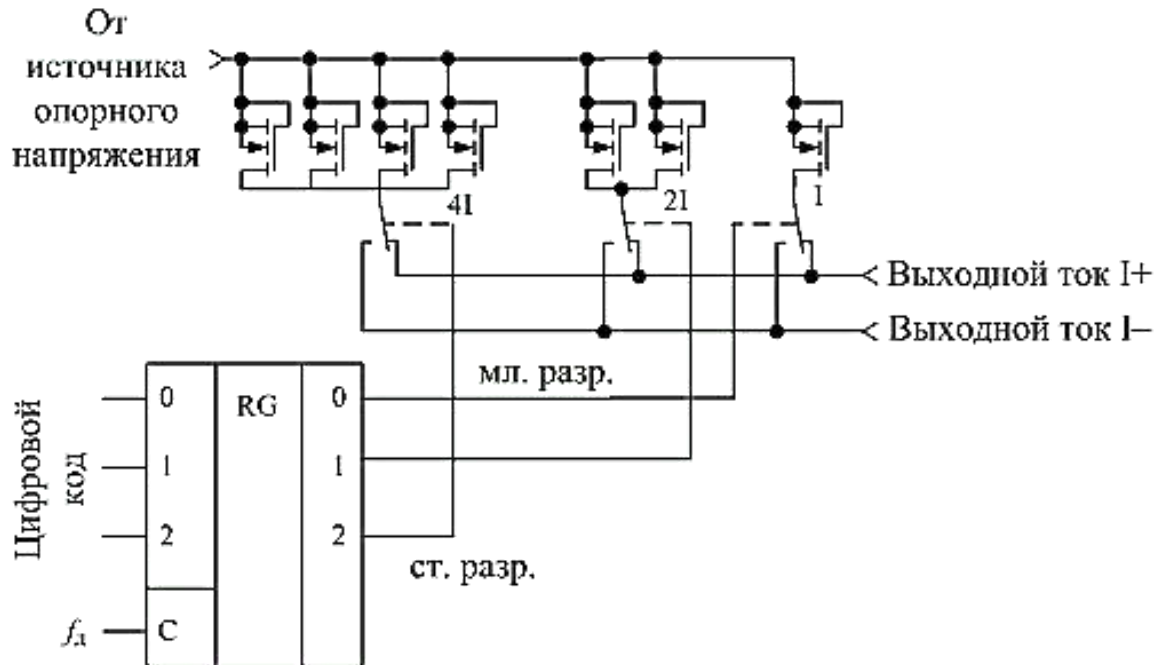


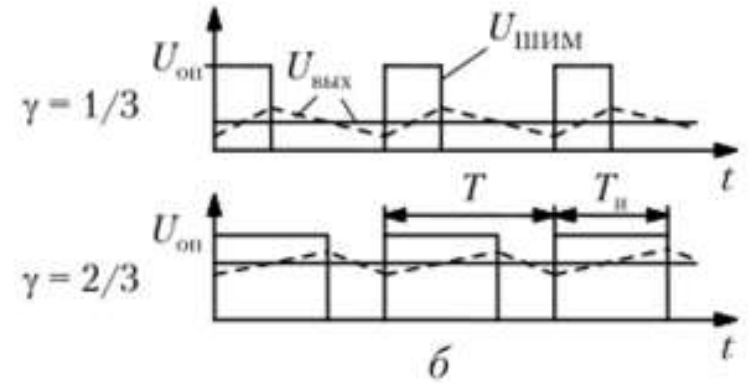
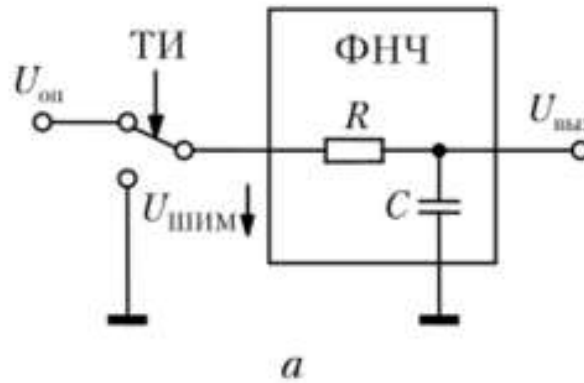
Схема n-разрядного ЦАП параллельного типа с матрицей постоянного импеданса

В качестве источников тока обычно используются не резисторы, а генераторы тока на полевых транзисторах. Применение полевых транзисторов позволяет значительно сократить размеры кристалла и повысить точность.

"ЦАП" для ШИРОТНО-ИМПУЛЬСНОГО СИГНАЛА (ШИМ)

ШИМ представляет собой цифровой сигнал, у которого период повторения постоянный, а длительность импульса меняется. Отношение длительности ШИМ сигнала к его периоду называется коэффициентом заполнения.

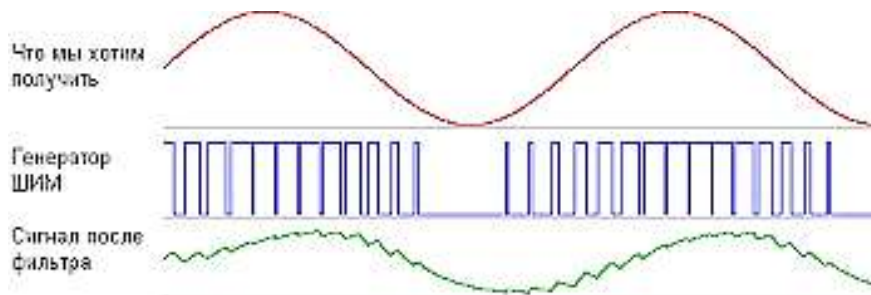
Обычно ШИМ-сигнал генерируется микроконтроллером с помощью счётчика-таймера. Пропустив такой сигнал (ТИ) через низкочастотный фильтр (ФНЧ), что по сути равносильно интегрированию, получим на выходе фильтра уровень напряжения, пропорциональный коэффициенту заполнения. Таким образом, меняя этот коэффициент, можно генерировать аналоговые сигналы произвольной формы.



$$\gamma = \frac{D}{2^N} \quad N - \text{разрядность преобразования,} \quad U_{\text{ВЫХ}} = \gamma U_{\text{ВХ}} = \frac{D}{2^N} U_{\text{ВХ}}$$

D – преобразуемый код.

Достоинство преобразователя с ШИМ — схемотехническая простота и высокая линейность преобразования, недостаток — низкое быстродействие, поскольку на преобразование N -разрядного кода в ШИМ затрачивается $2N$ тактов (временных интервалов) таймера-счетчика.



АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ (АЦП, ADC)

АЦП преобразует непрерывной во времени аналоговый сигнал (с изменяющейся амплитудой) в непрерывную последовательность цифровых данных, соответствующих значениям амплитуды входного сигнала в некоторые фиксированные моменты времени.

Основными параметрами АЦП являются: разрешающая способность, диапазон входных значений, точность и быстродействие.

Разрешающая способность — минимальное изменение величины аналогового сигнала, которое может быть преобразовано данным АЦП.

Разрядность АЦП характеризует количество дискретных значений, которые преобразователь может выдать на выходе. Наиболее распространены 10 / 11 / 12-битные АЦП, что соответствует 1024 / 2048 / 4096 ступеням входных напряжений, из которых формируется выходной сигнал.

АЦП считаются линейными устройствами, хотя аналого-цифровое преобразование математически является нелинейным процессом.

АЦП могут быть классифицированы по схеме реализации:

- параллельные
- последовательные:
 - последовательного приближения
 - последовательного счёта
 - интегрирующие
- комбинированные:
 - многотактные
 - многоступенчатые
 - конвейерные
 - с двойным интегрированием

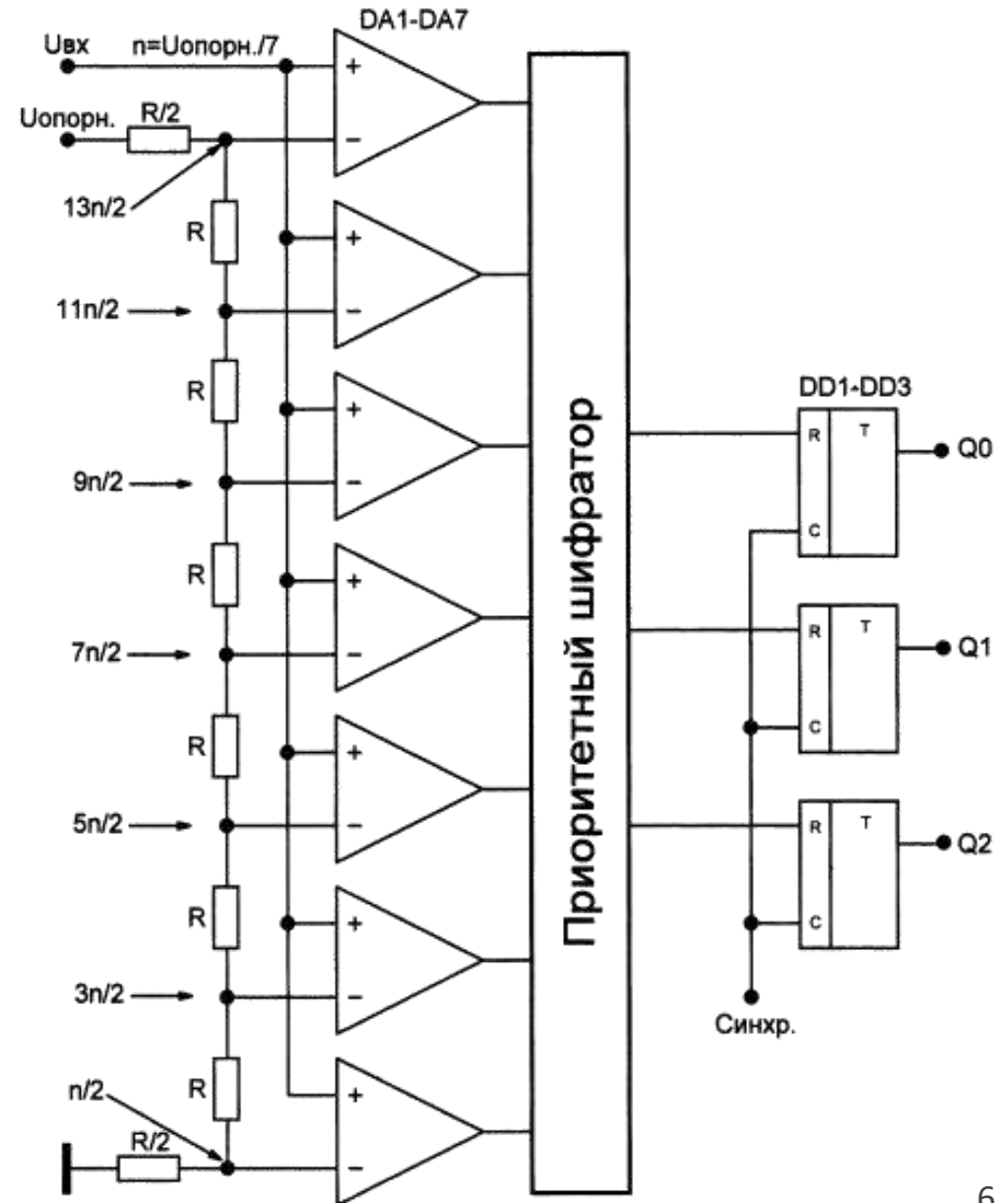
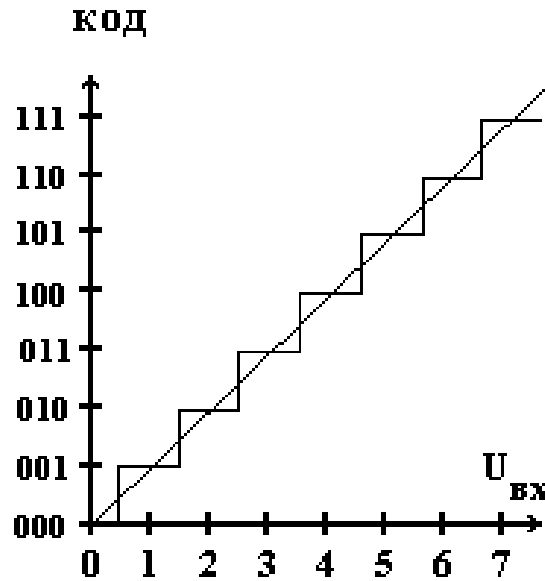
ПАРАЛЛЕЛЬНЫЕ АЦП

трёхразрядный
параллельный АЦП

Опорное напряжение делится на цепочке резисторов. Сравнение полученных напряжений с входным происходит на компараторах. Сигналы с выходов компараторов DA1-DA7 подаются на вход приоритетного шифратора, частью которого являются триггеры DD1-DD3.

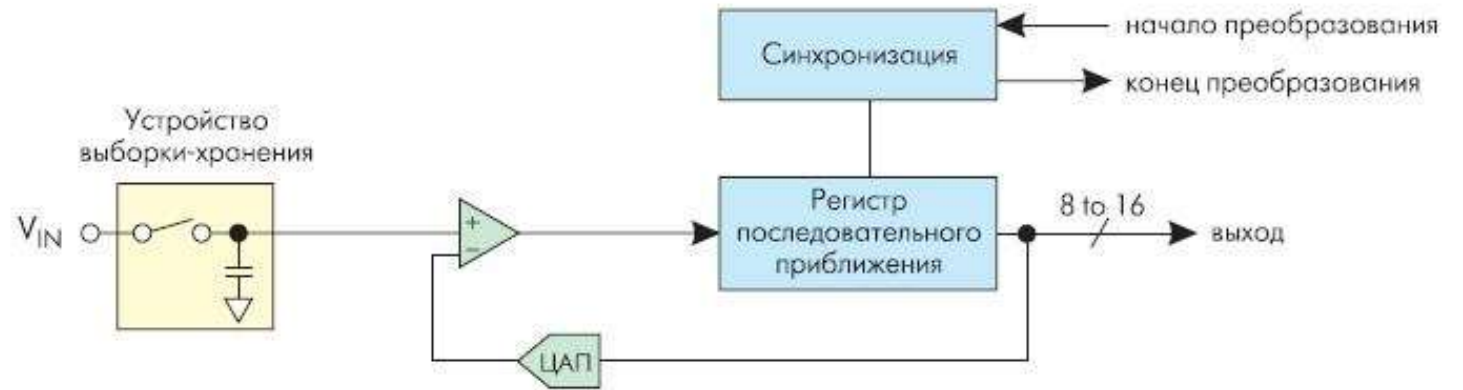
Приоритетный шифратор отличается от обычного шифратора наличием дополнительной логической схемы выделения активного уровня наиболее старшего входа.

Для параллельных АЦП при быстрых перепадах входного напряжения в силу инерционности отдельных узлов и несовершенства их свойств вероятны ошибки при преобразовании сигналов.



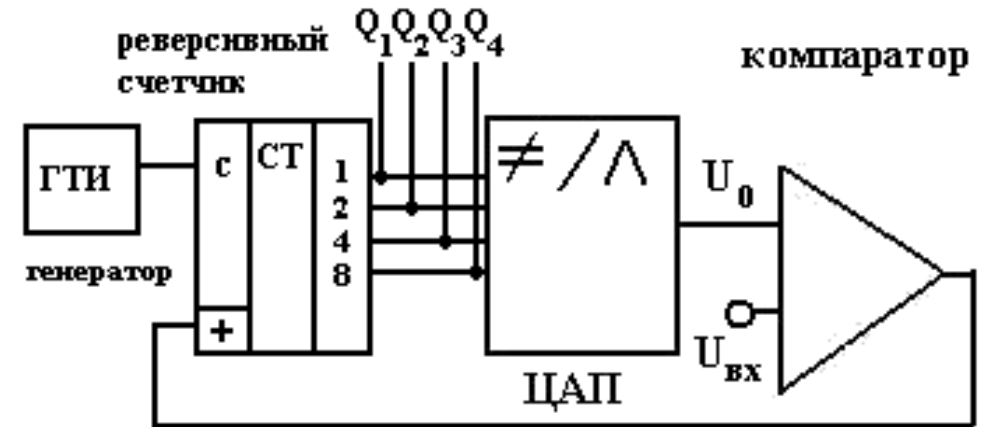
ПОСЛЕДОВАТЕЛЬНЫЕ АЦП

В последовательных АЦП внутренняя система управления создает аналоговое опорное напряжение, равное выходному сигналу. Оба сигнала передаются в компаратор. Этот процесс продолжается в течение n последовательных раз, пока не будет найдено значение, ближайшее к фактическому сигналу.



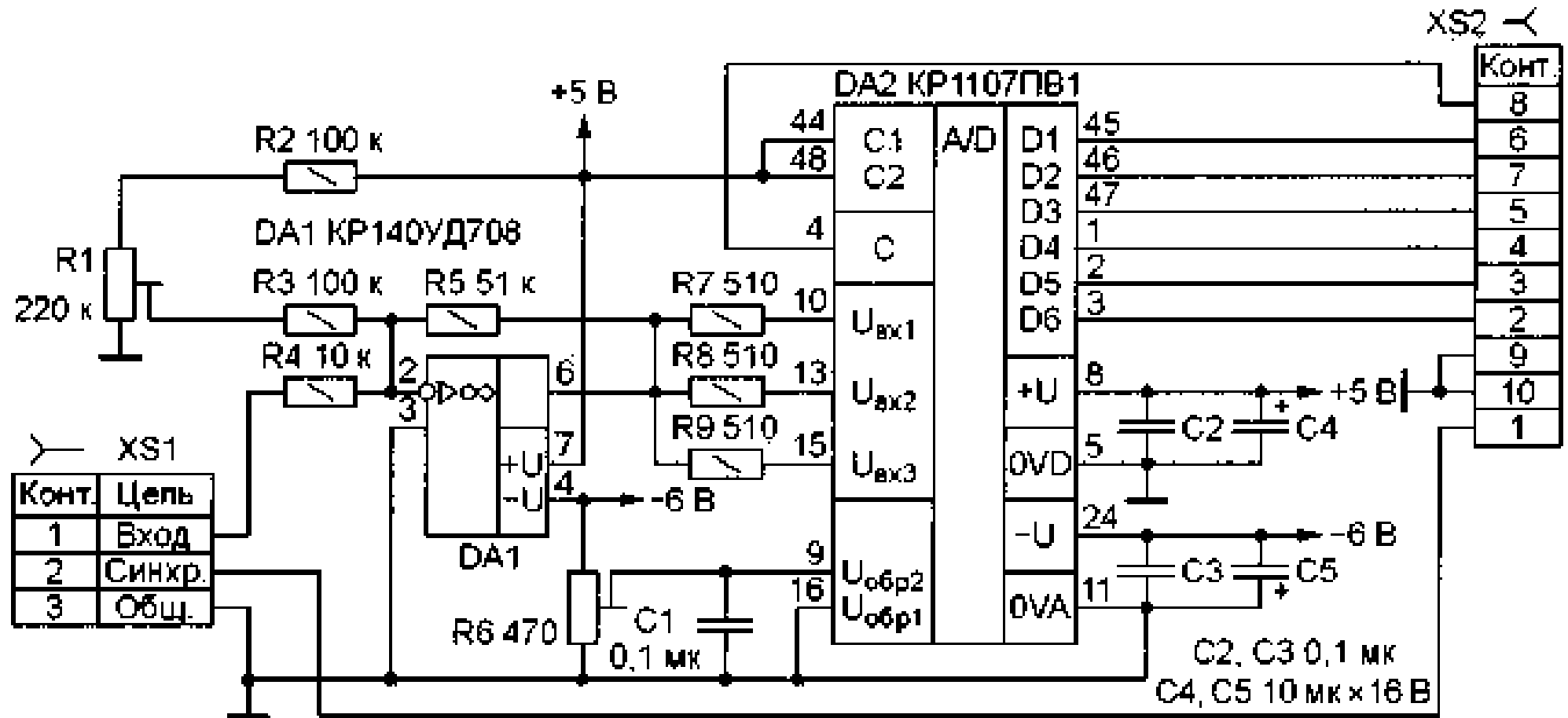
АЦП последовательного приближения

Разновидностью последовательных АЦП является АЦП дифференциального кодирования, или счётные АЦП. Тактовые импульсы с генератора поступают на реверсивный счетчик и увеличивают его состояние, если компаратор находится в состоянии логической единицы. Код на выходе счетчика поступает на ЦАП, который преобразует его в аналоговый сигнал U_0 . Этот сигнал сравнивается компаратором с входным сигналом $U_{вх}$: если $U_{вх} > U_0$, то в счетчике происходит сложение тактовых импульсов, а при $U_0 > U_{вх}$ - вычитание. Такая обратная связь обеспечивает примерное равенство $U_{вх} = U_0$.



АЦП дифференциального кодирования

"РАДИОЛЮБИТЕЛЬСКИЕ" КОНСТРУКЦИИ С АЦП



Устройство для преобразования аналогового сигнала (0...-2В) в цифровой шестиразрядный код.

УСТРОЙСТВА ПАМЯТИ

ОЗУ (RAM - Random Access Memory) – энергозависимая память, состоящая из ячеек, в которые может быть записана и считана двоичная информация. Ячейки памяти принято представлять в виде квадратной матрицы (адресуются номером строки и столбца).

ПЗУ (ROM - Read-only Memory) - энергонезависимая память, используется для хранения массива неизменяемых данных.

При сохранении данных в памяти могут возникнуть ошибки двух видов: постоянные и случайные. Постоянные ошибки обусловлены дефектами самих микросхем памяти или причастных к ним управляющих схем. Нерегулярные ошибки могут иметь причиной электрические помехи, возникающие внутри или вне схемы. Простейший способ диагностики ошибок состоит в добавлении к информационному слову бита четности (если в информационном слове чётное количество единиц, добавляется единичный бит, иначе нулевой).

- ПЗУ (Постоянные запоминающие устройства)
 - Масочные ПЗУ (без возможности перепрограммирования)
 - Однократно программируемые ПЗУ
 - Перепрограммируемые ПЗУ
- ОЗУ (Оперативные запоминающие устройства)
 - ОЗУ с произвольной выборкой
 - Статические ОЗУ
 - Динамические ОЗУ
 - ОЗУ с последовательной выборкой
 - регистры сдвига
 - ПЗС (приборы с зарядовой связью)

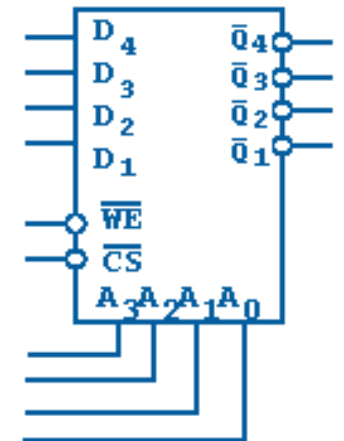
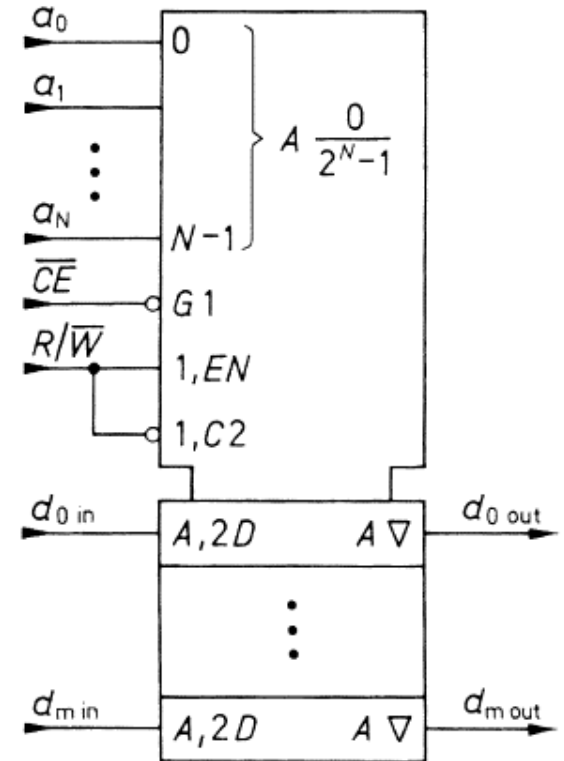


СХЕМОТЕХНИКА ОЗУ

Наряду с адресными входами в ОЗУ имеются информационные входы D_{in} , информационные выходы D_{out} , переключатель режимов чтения/записи R/W , а также вывод выбора микросхемы CS или ее разблокирования CE . Этот вывод служит для использования нескольких ОЗУ в режиме мультиплексирования, когда они работают на общий канал передачи данных (шину данных). При $CS = 0$ информационный выход D_{out} переходит в высокоомное состояние и не оказывает влияния на канал передачи данных. Для реализации такого переключения информационный выход обычно строят на логическом элементе с открытым коллектором или на элементе с тремя состояниями.

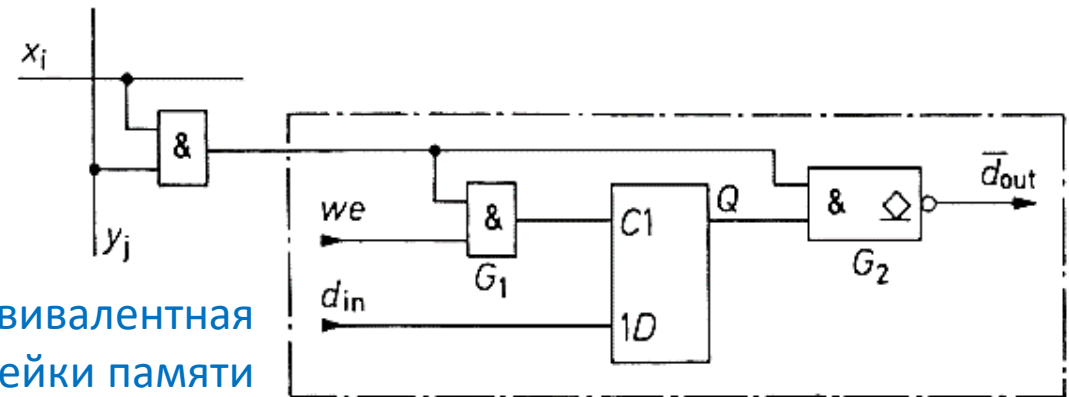
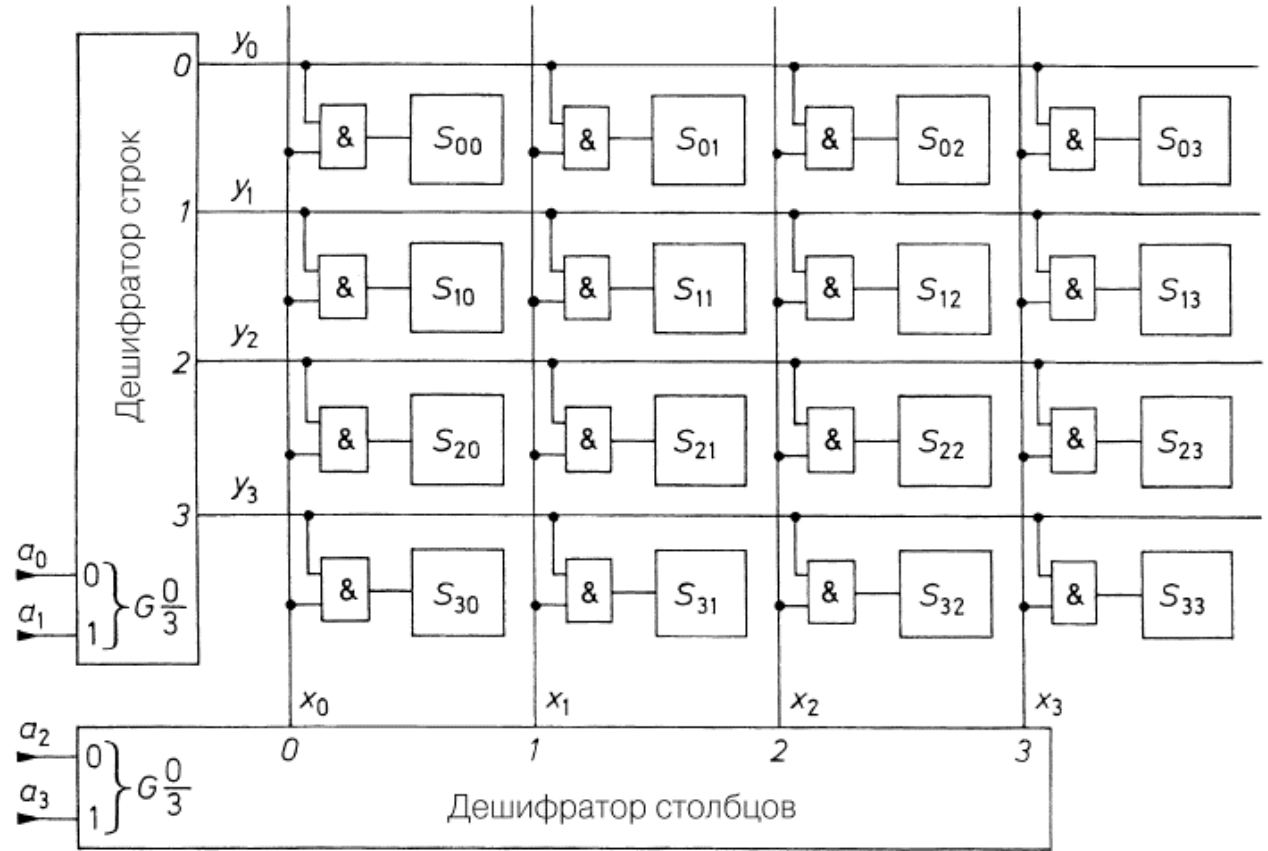
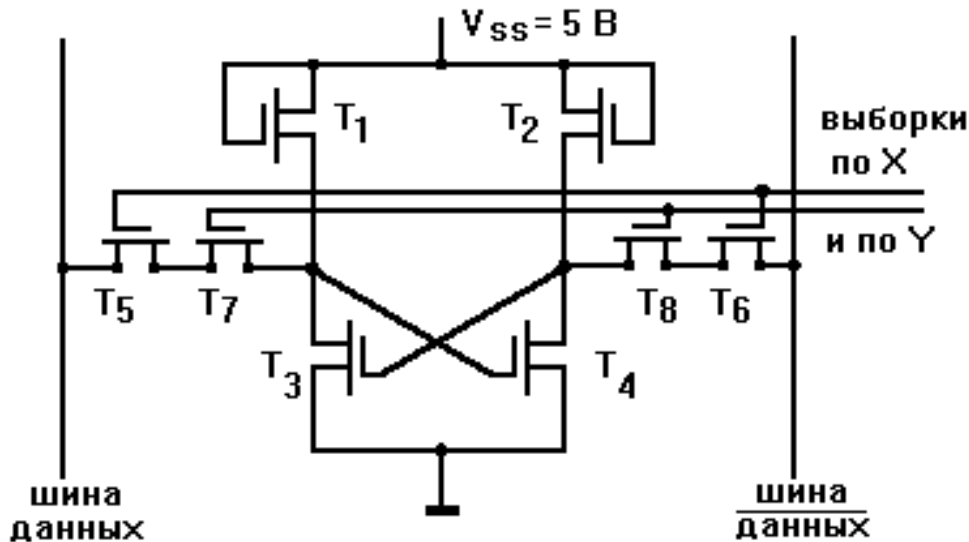
В процессе записи ($R/W = 0$) выходной элемент также переводится в высокоомное состояние с помощью дополнительной логической операции, что позволяет связывать D_{in} и D_{out} , осуществляя передачу данных в обоих направлениях по одной и той же линии (двухнаправленная шинная система). Еще одна логическая функция предотвращает переключение в ходе записи ($WE = 1$), если $CS = 0$. Это исключает ошибочную запись, пока не выбрано соответствующее ЗУ.

Как правило, по указанному адресу запоминается не один бит, а слово из m разрядов. Можно представить, что дополнительные разряды размещаются на этажах памяти друг над другом, а линии управления ими включаются параллельно.



СТАТИЧЕСКИЕ ОЗУ

В статических ОЗУ при наличии питающего напряжения содержимое памяти остается неизменным вплоть до поступления команды записи. В динамических ОЗУ содержимое памяти регулярно обновляется во избежание потери информации. Элементарной ячейкой статического ОЗУ с произвольной выборкой является триггер на транзисторах T1-T4 с ключами T5-T8 для доступа к шине данных. Причем T1-T2 - это нагрузки, а T3-T4 - нормально закрытые элементы.

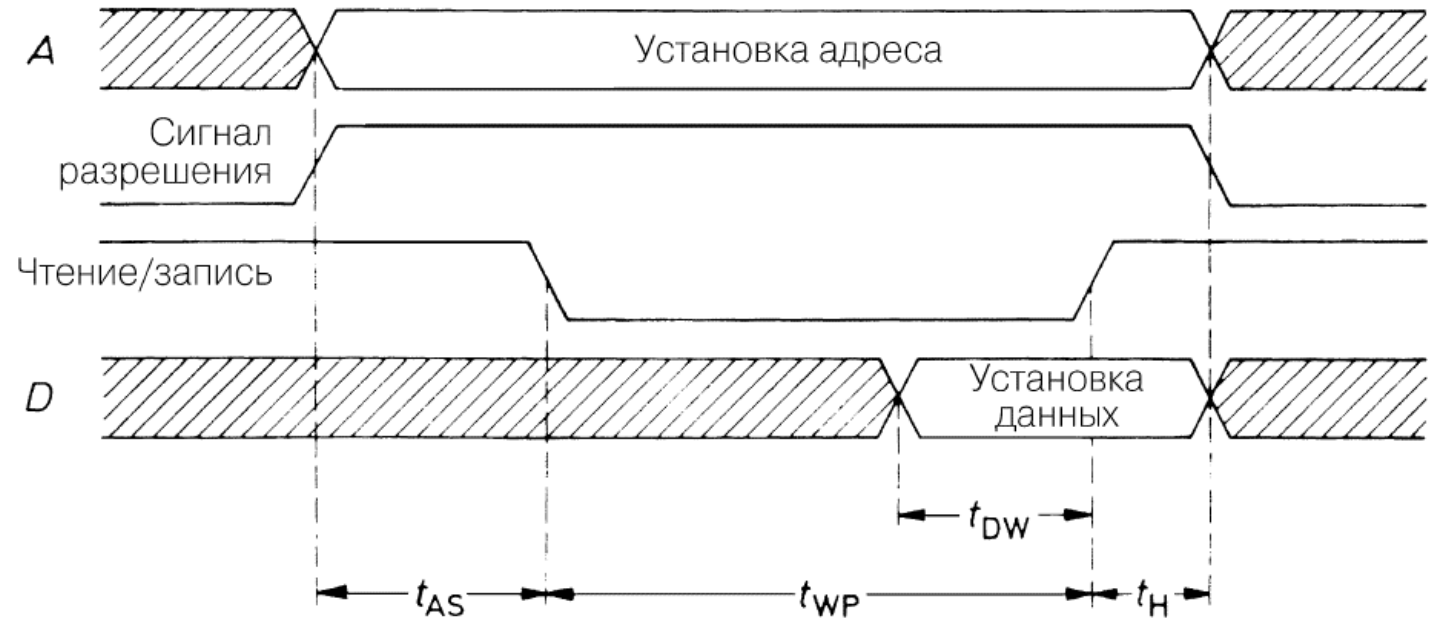


ЛОГИЧЕСКАЯ ЭКВИВАЛЕНТНАЯ
СХЕМА ЯЧЕЙКИ ПАМЯТИ

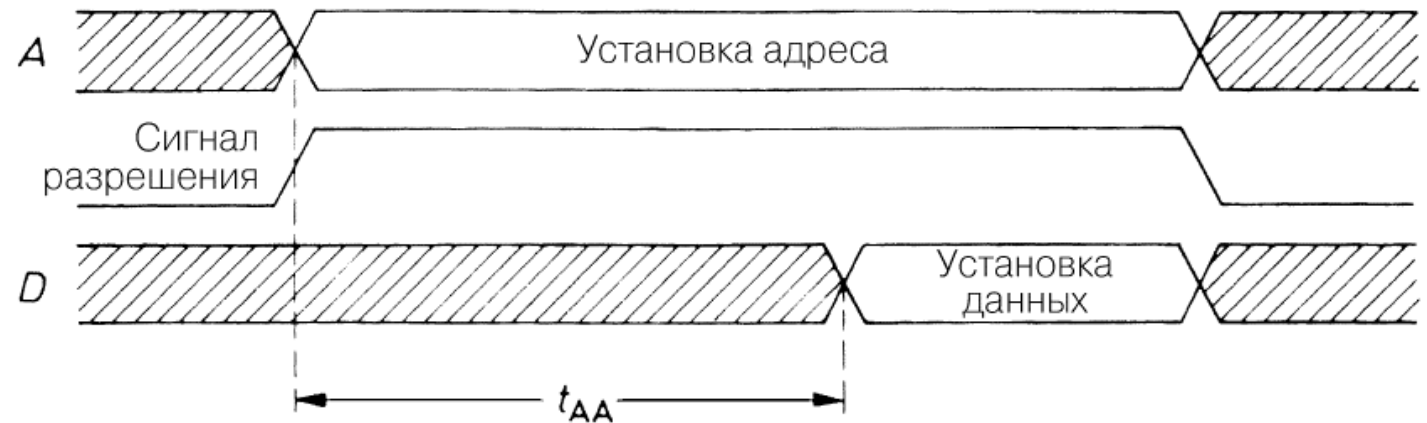
СТАТИЧЕСКИЕ ОЗУ

Чтобы не допустить записи в неверную ячейку, команда на запись должна поступать с некоторой задержкой после адреса. Такую задержку называют временем установки адреса (Address Setup Time) t_{AS} . Длительность импульса записи (Write Pulse Width) не должна быть меньше минимального значения t_{WP} . Информация записывается по окончании импульса записи. Она должна быть неизменной в течение определенного минимального периода до начала записи. Такой период обозначается как t_{DW} (Data Valid to End of Write – готовность данных к записи). Hold Time – период занятости устройства (t_H). Таким образом, длительность цикла записи (Write Cycle Time): $t_W = t_{AS} + t_{WP} + t_H$.

временная диаграмма цикла записи



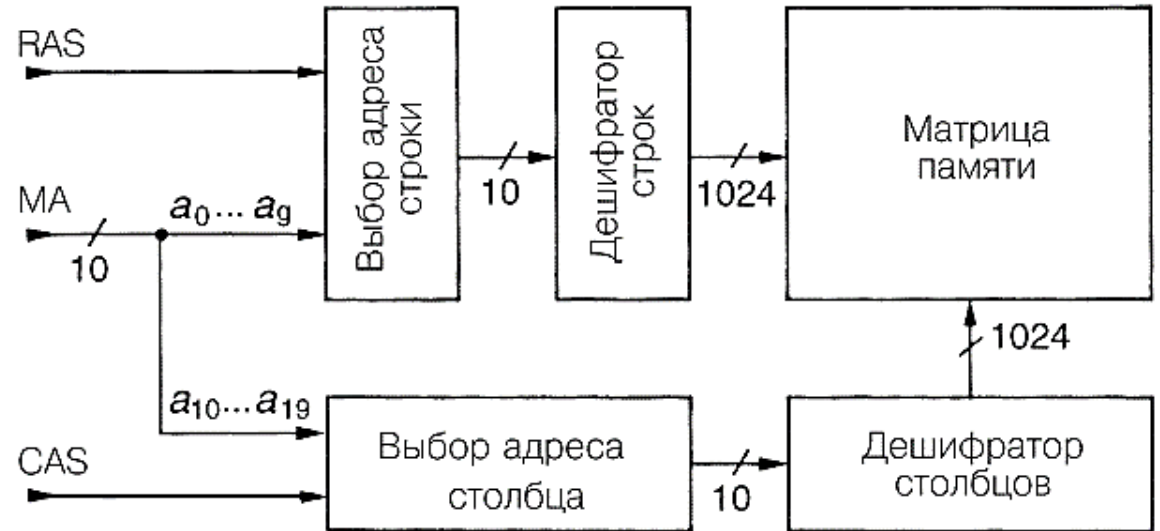
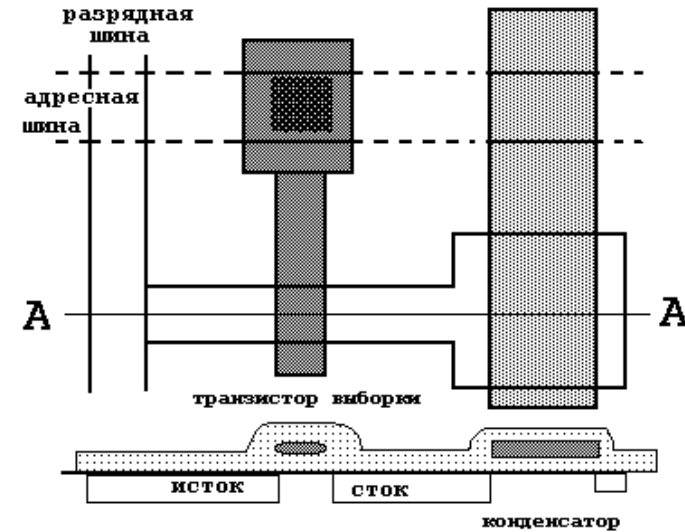
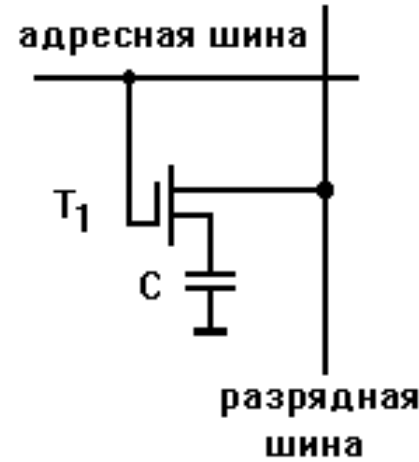
временная диаграмма цикла чтения



ДИНАМИЧЕСКИЕ ОЗУ

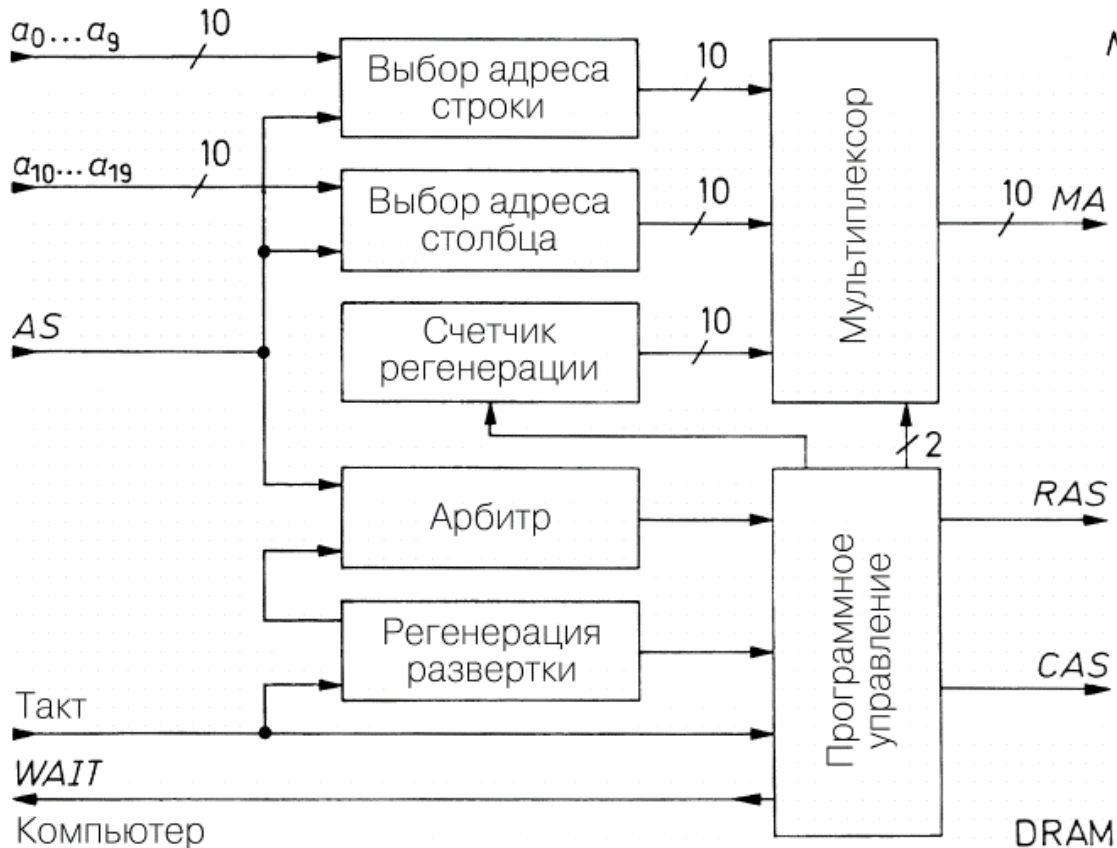
В отличие от статических ОЗУ, которые хранят информацию, пока включено питание, в динамических ОЗУ необходима постоянная регенерация информации, однако при этом для хранения одного бита вместо 6 и более транзисторов нужны всего 1-2 и накопительный конденсатор. Информация записывается путем заряда конденсатора. Однако она сохраняется лишь короткое время, и потому конденсатор приходится перезаряжать с периодичностью 2...15 мс.

Чтобы снизить количество соединений, адреса динамических ОЗУ формируются в два этапа и хранятся в буферной микросхеме. Так, на первом этапе цикла записи в триггер-защелку адресов строк загружаются 10 младших адресных разрядов $a_0...a_9$ с помощью строб-импульса адреса строки; на втором этапе в триггер-защелку адреса столбца загружаются адресные разряды $a_{10}...a_{19}$ с помощью строб-импульса адреса столбца, что позволяет размещать ОЗУ емкостью 1 Мбит в корпусе с 18 выводами.

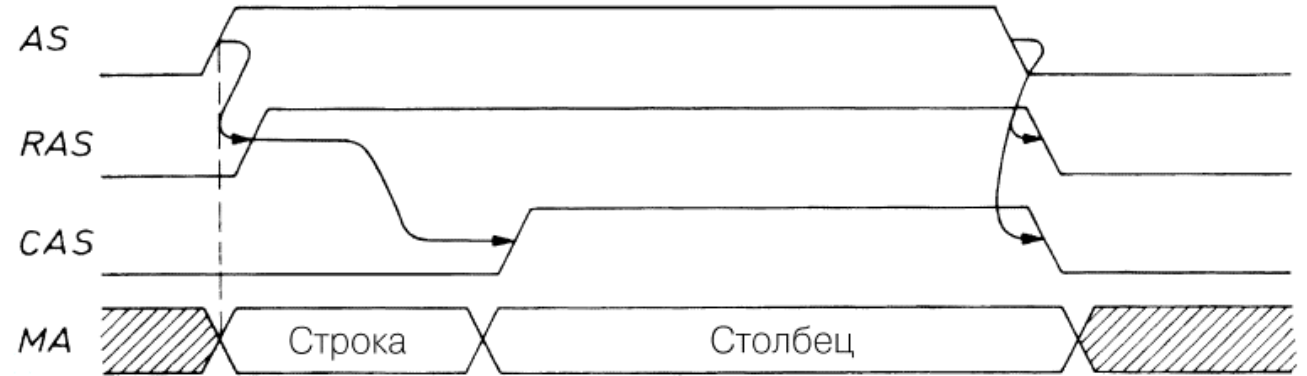


ДИНАМИЧЕСКИЕ ОЗУ

Помимо элементов памяти, чип содержит дополнительные узлы и компоненты, обеспечивающие необходимые условия для нормального его функционирования.



Временная диаграмма ввода адреса



Структура контроллера динамического ОЗУ емкостью 1 Мбит. Контроллер осуществляет регенерацию ячеек памяти в промежутках между обращениями к данным по одному из обычно применяемых алгоритмов: групповая регенерация (прерывание доступа к памяти со стороны внешних устройств), захват цикла процессора (на время генерации), скрытая регенерация (когда процессор не обращается к ОЗУ).

Для считывания информации используют высокочувствительные дифференциальные усилители с положительной обратной связью – усилители-регенераторы.

ВИДЫ ПЗУ

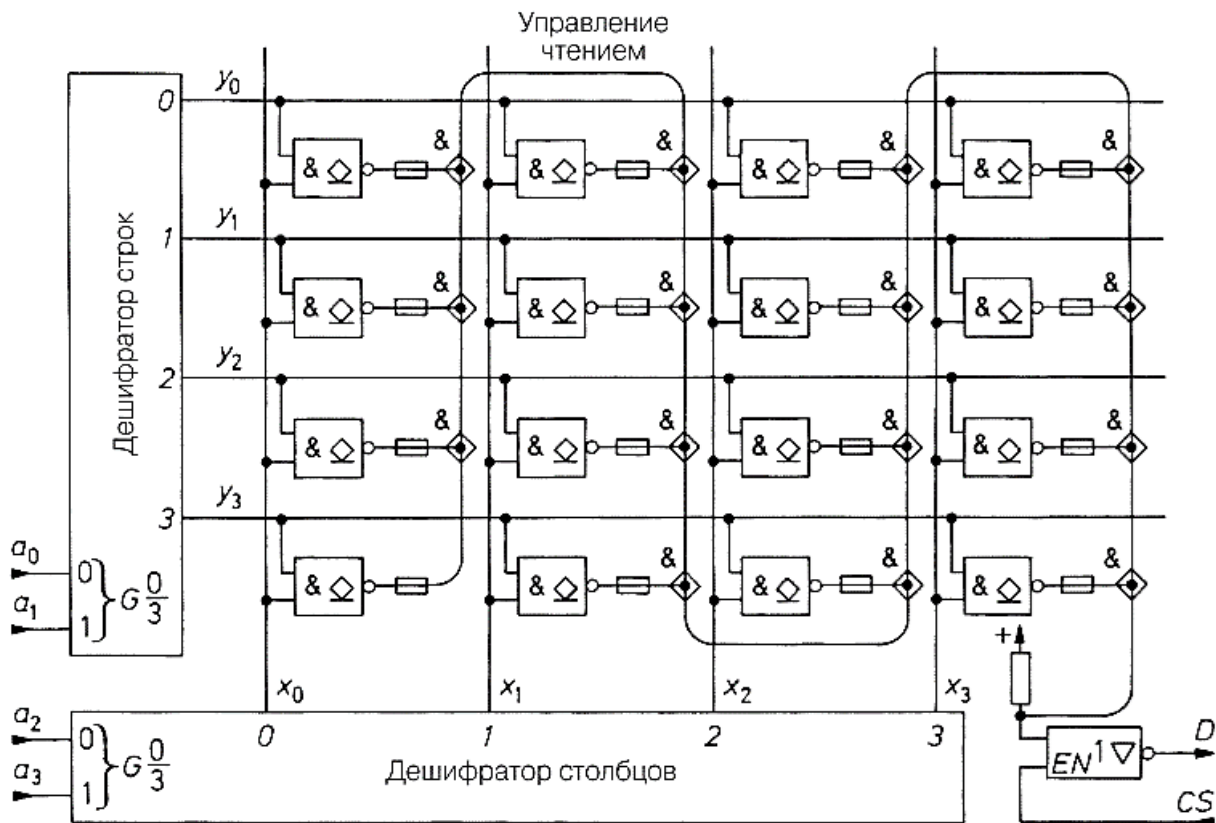
ПЗУ есть память табличного типа, из которой в нормальных условиях эксплуатации информация только считывается. Достоинство ПЗУ состоит в том, что содержимое памяти сохраняется после выключения питающего напряжения, а недостаток – в гораздо большей трудоемкости ввода информации. Варианты ПЗУ (MROM, PROM, EPROM, EEPROM) отличаются методом ввода информации.

■ ПЗУ, программируемое фотошаблоном

В масочные ПЗУ (MROM) информация вводится изготовителем на последнем этапе производства с помощью специфичной металлизированной маски. Такой метод экономически оправдан только для крупных партий микросхем (от 10 тыс. шт.), а на его реализацию обычно уходит несколько месяцев.

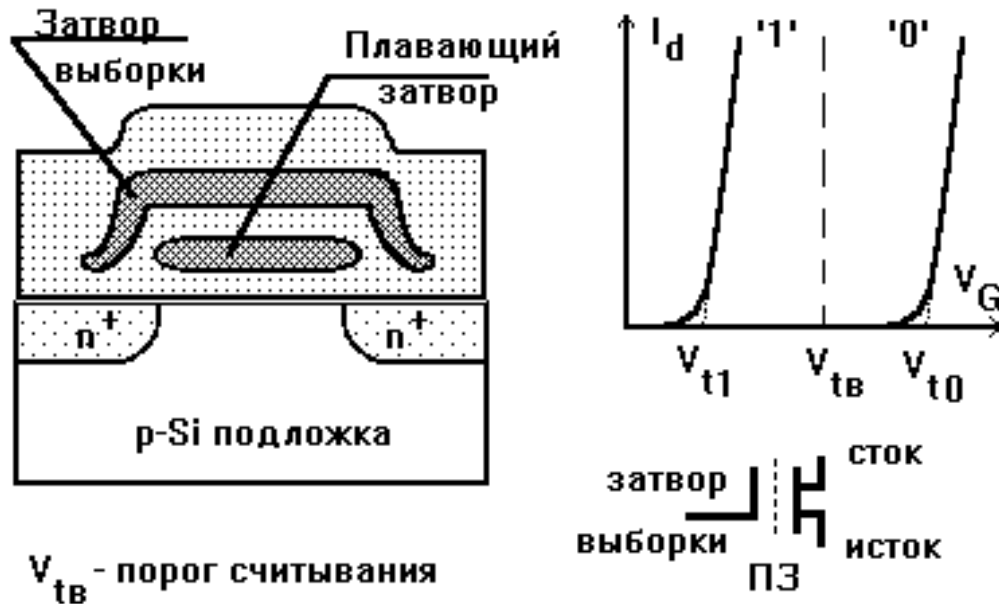
■ Однократно программируемые ПЗУ

В PROM каждая адресуемая ячейка памяти генерирует выходной сигнал $D = 1$. При программировании нуля прожигается перемычка на выходе соответствующей ячейки, для чего выбирается ее адрес, по шине считывания посылается импульс тока необходимой силы. PROM предпочтительны для серийных изделий.

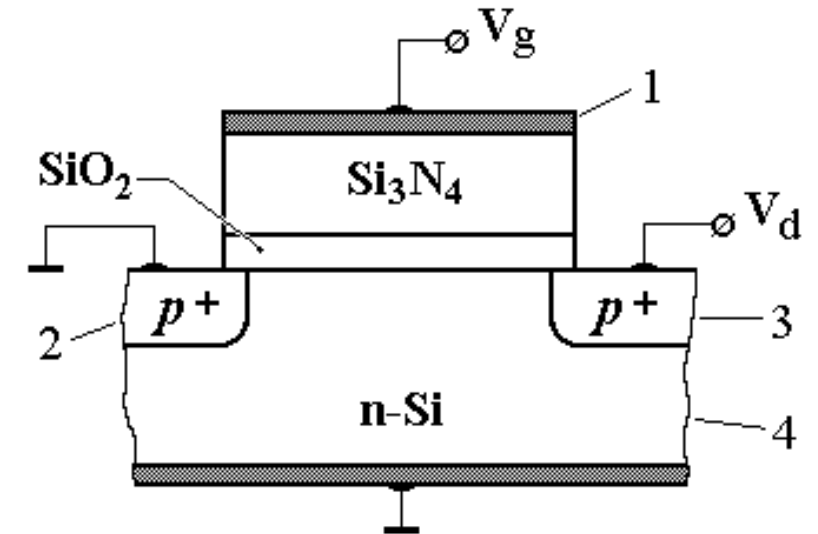


ПРИНЦИП РАБОТЫ РЕПРОГРАММИРУЕМЫХ ЯЧЕЕК ПАМЯТИ

Полевой транзистор с плавающим затвором



МНОП - транзистор



Эффект памяти основан на изменении порогового напряжения транзистора из-за захваченного заряда на глубоких (1.3-1.5 эВ) ловушках в нитриде кремния вблизи границы $\text{SiO}_2 - \text{Si}_3\text{N}_4$. Запись информационного заряда происходит также, как и в МОП с плавающим затвором.

В сильном электрическом поле можно инжектировать электроны в плавающий затвор либо сквозь потенциальный барьер Si-SiO_2 путем квантово-механического туннелирования, либо инжекцией над барьером "горячих" носителей, разогретых в сильном электрическом поле. Время хранения определяется временем диэлектрической релаксации структуры.

ПЗУ С УЛЬТРАФИОЛЕТОВЫМ СТИРАНИЕМ

В EPROM (Erasable PROM) элементами ПЗУ служат исключительно МОП транзисторы с "плавающим" затвором. Как и у некоторых ППЗУ, он заряжается при программировании и смещает пороговое напряжение МОП транзистора. Однако в EPROM имеется дополнительная возможность удалять данный заряд путем облучения ультрафиолетом (обычно в течение 10-30 мин). С этой целью в корпус интегральной схемы встраивается кварцевое окошко, что приводит к сильному удорожанию микросхемы.

Программирование осуществляется при повышенном напряжении питания (6 В) с импульсами программирования 12.5 В и длительностью 1 мс. Обычно ячейка программируется несколькими подряд идущими импульсами со считыванием результата после каждого импульса. Обычно программируется трехкратное превышение заряда на плавающем затворе после перехода ячейки в необходимое состояние.



ЭЛЕКТРИЧЕСКИ СТИРАЕМОЕ ПРОГРАММИРУЕМОЕ ПЗУ

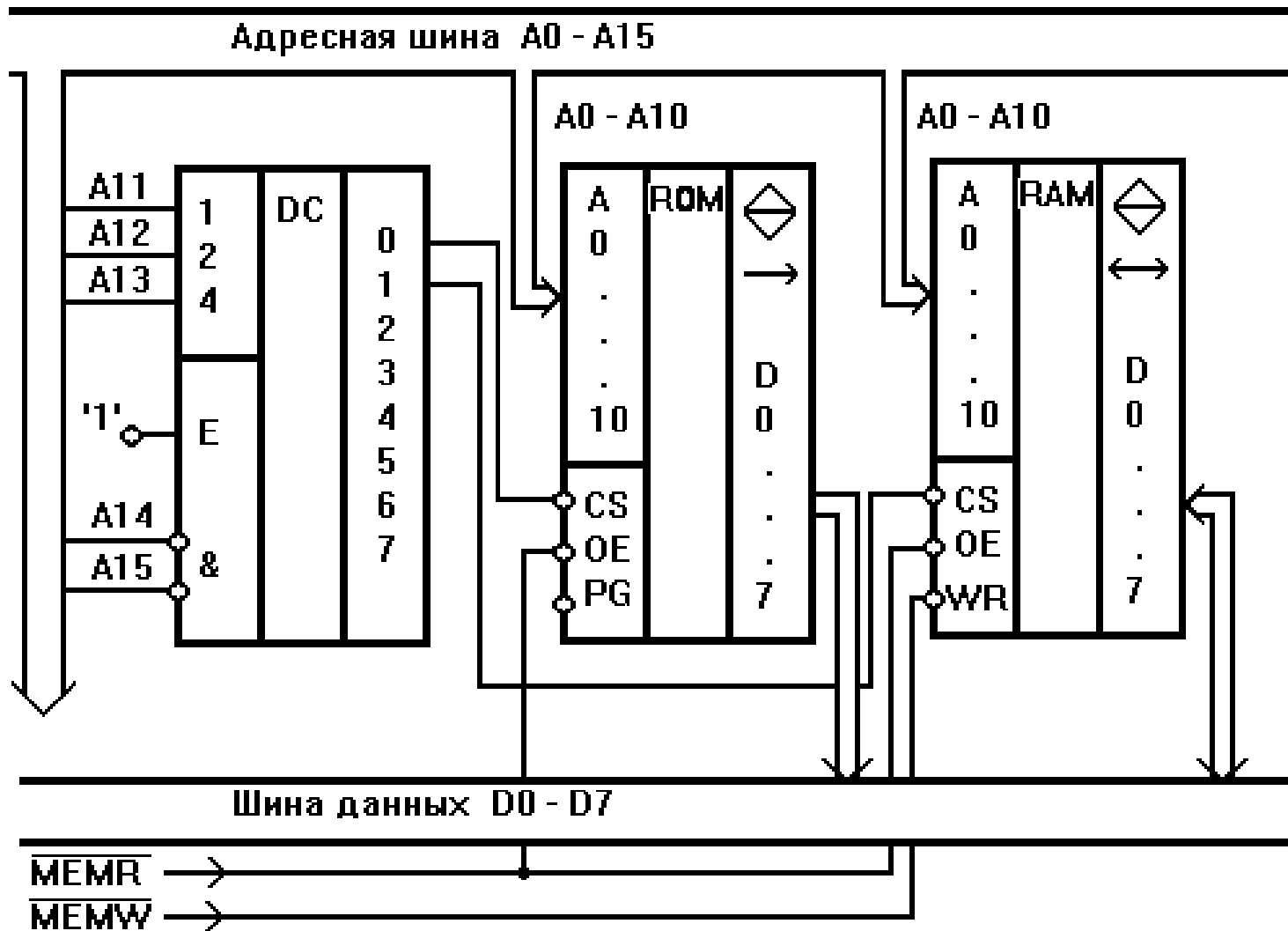
Программируемое ПЗУ называют электрически стираемым (EEPROM), если, в отличие от EPROM, оно стирается не только ультрафиолетовым излучением, но и электрическим воздействием. Инжекция электронов в плавающий затвор осуществляется путём создания высокой напряжённости электрического поля в тонком диэлектрике.

Чипы нередко имеют встроенный программатор, который автоматически стирает старое значение по указанному адресу и записывает новое. У некоторых типов EEPROM в процессе программирования может заполняться не только один байт, но и целая страница емкостью 16...64 байт. Для этого страница загружается во внутреннее ОЗУ и только затем вызывается команда на программирование.

EEPROM не следует использовать в качестве ОЗУ. Каждый цикл записи наносит непоправимый ущерб диэлектрику затвора: в зависимости от типа памяти байт не должен перезаписываться более $10^4 \dots 10^6$ раз. Если программирование происходит непрерывно, а длительность цикла составляет 1 мс, ресурс одного байта или страницы может оказаться исчерпанным всего за 10 с. С уменьшением размера ячейки и увеличением уровней заряда ресурс использования ПЗУ существенно снижается.

Устройство, занимающее промежуточное положение между EPROM и EEPROM, называется флэш-ППЗУ (Flash EEPROM – программируемое ПЗУ с групповым электрическим стиранием). Запись и стирание производятся над множеством ячеек одновременно. Память разбивается на блоки, блоки состоят из секторов, секторы — из страниц. На плавающий затвор одной ячейки может быть записан заряд разного уровня, что увеличивает плотность информации (SSD QLC – 16 уровней заряда на ячейку).

МИКРОСХЕМЫ ПАМЯТИ В СОСТАВЕ МИКРОПРОЦЕССОРНОЙ СИСТЕМЫ



Представлено взаимодействие К573РФ2 (ПЗУ) и К573РУ9 (ОЗУ), имеющих одинаковую организацию 2Кх8, с системной магистралью. Дешифратор К555ИД7 посредством сигнала CS (выбор кристалла) позволяет выбрать положение ЗУ в адресном пространстве. Для данного случая это адреса 0000h-07FFh для ПЗУ(ROM) и 0800h-0FFFh для ОЗУ(RAM).

СПАСИБО ЗА ВНИМАНИЕ!

