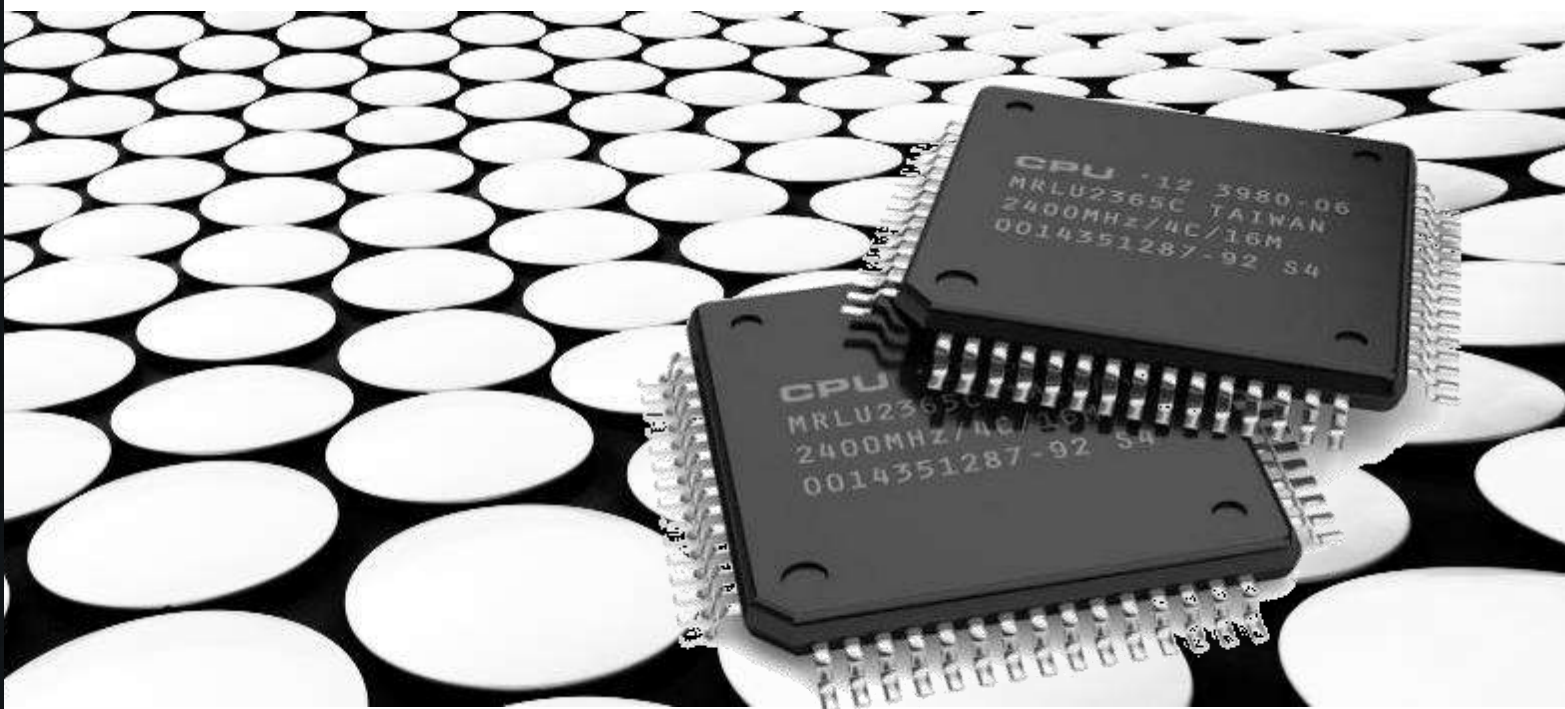
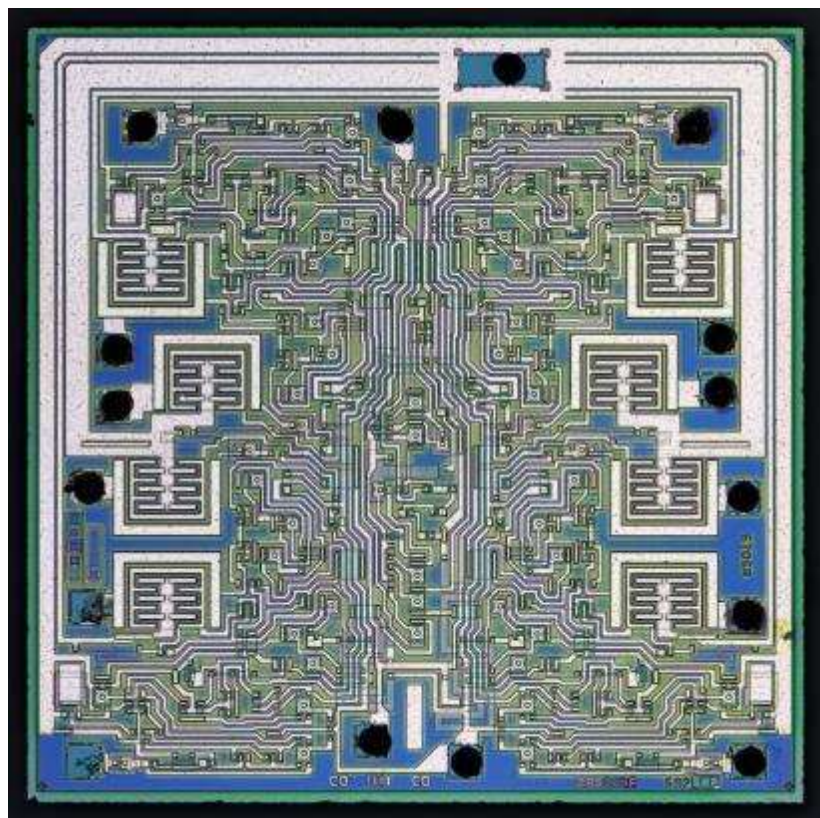
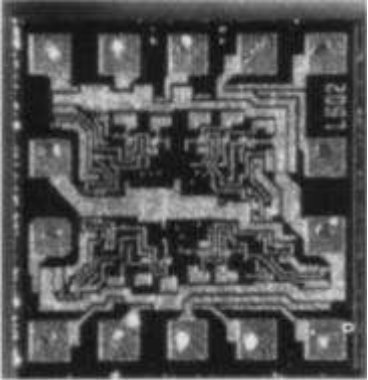


ФИЗИКА И СХЕМОТЕХНИКА ИНТЕГРАЛЬНЫХ СХЕМ

ЛЕКЦИЯ 4. СХЕМОТЕХНИКА ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ



ТЕРМИНОЛОГИЯ



- Цифровая интегральная микросхема – это интегральная микросхема, предназначенная для преобразования и обработки дискретно изменяющихся сигналов. В основе функционирования таких микросхем лежат транзисторные ключи, способные находиться в двух устойчивых состояниях: открытом и закрытом. При изготовлении микросхем обычно объединяют технологии биполярных и полевых транзисторов.

Типы реализации логики:

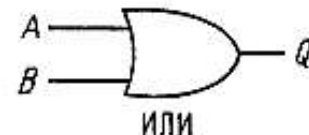
- **МОП** — микросхемы формируются из полевых транзисторов n-МОП или p-МОП типа;
- **КМОП** — каждый логический элемент микросхемы состоит из пары взаимодополняющих (комплементарных) полевых транзисторов (n-МОП и p-МОП).
- **РТЛ** — резисторно-транзисторная логика (устаревшая, заменена на ТТЛ);
- **ДТЛ** — диодно-транзисторная логика (устаревшая, заменена на ТТЛ);
- **ТТЛ** — транзисторно-транзисторная логика — микросхемы содержат биполярные транзисторы с многоэмиттерными транзисторами на входе;
- **ТТЛШ** — усовершенствованная ТТЛ, в которой используются биполярные транзисторы с переходом Шоттки;
- **ЭСЛ** — эмиттерно-связанная логика — на биполярных транзисторах, режим работы которых подобран так, чтобы они не входили в режим насыщения, что существенно повышает быстродействие;
- **ИИЛ** — интегрально-инжекционная логика – разновидность ТТЛ с транзисторами-"инжекторами";
- **БиКМОП** – технология использует биполярные и КМОП-транзисторы на одном кристалле.

ЭЛЕМЕНТЫ ЦИФРОВОЙ ЛОГИКИ

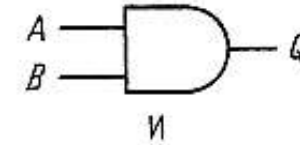
У логического элемента каждому состоянию входа соответствует определенное состояние выхода. Таким состояниям присваиваются обозначения 1 или 0 в зависимости от того, будет ли напряжение больше уровня U_H или меньше уровня U_L . Функцию логического элемента можно описать с помощью *таблиц истинности*.

Выбор соответствия между уровнем напряжения и логическим состоянием произволен, но для приборов конкретной логики он задается однозначно. Соответствие верхнего уровня H единице, а нижнего L – нулю называется *положительной логикой*. Обратное соответствие называется *отрицательной логикой*.

Для реализации отдельных основных логических функций имеется множество схемотехнических средств, различающихся энергопотреблением, напряжением питания, уровнями 0 и 1, быстродействием логического элемента и нагрузочными свойствами.



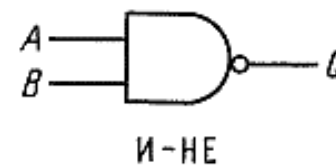
Входы		Выходы
A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1



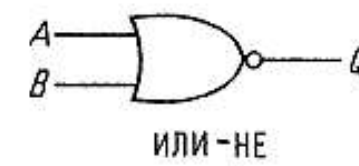
Входы		Выходы
A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1



A	Q
0	1
1	0



A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0



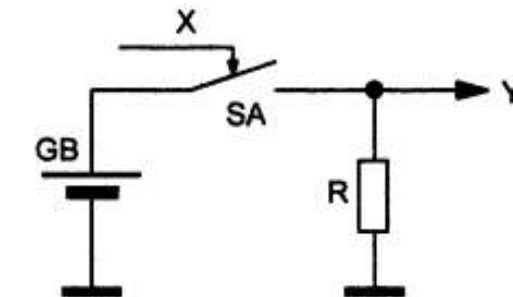
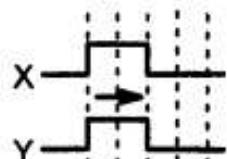
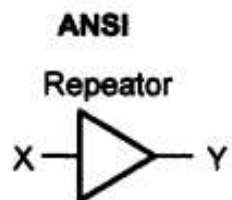
A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0



A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

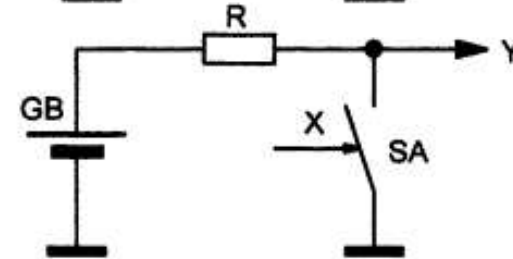
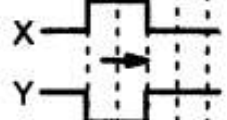
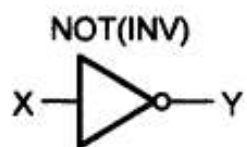
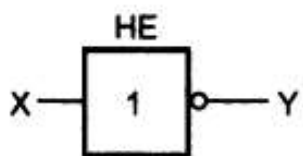
Поскольку всякая логическая функция есть комбинация дизъюнкции, конъюнкции и инверсии, то набор из элементов трех типов, реализующих соответственно функции И, ИЛИ и НЕ, является функционально полным.

ЭЛЕМЕНТЫ ЦИФРОВОЙ ЛОГИКИ



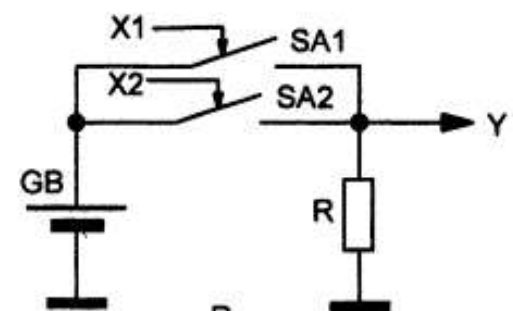
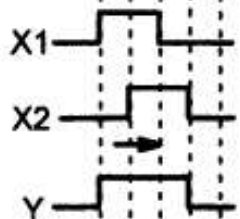
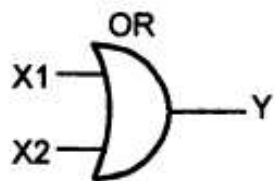
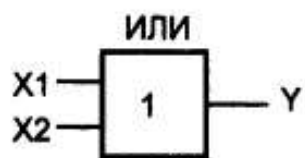
$Y=X$

X	Y
0	0
1	1



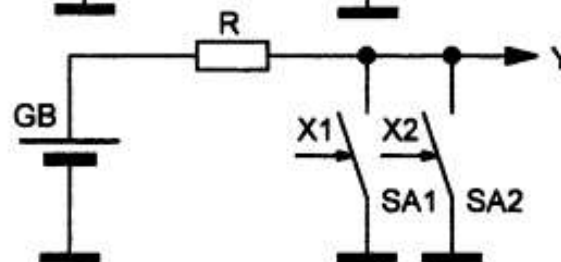
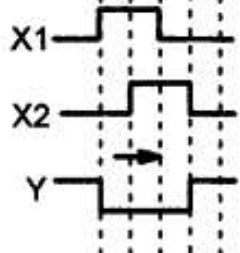
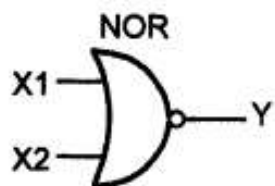
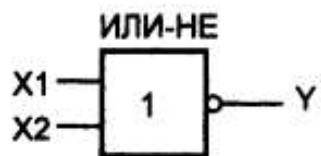
$Y=\bar{X}$

X	Y
0	1
1	0



$Y=X1+X2$

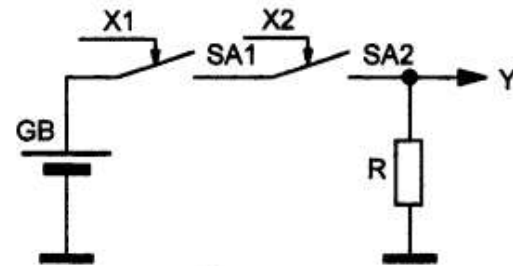
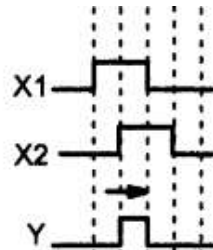
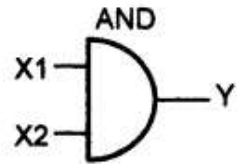
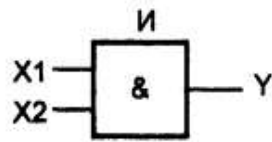
X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1



$Y=\overline{X1+X2}$

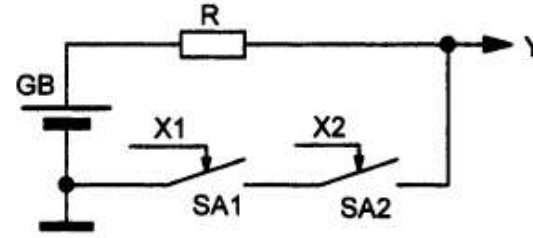
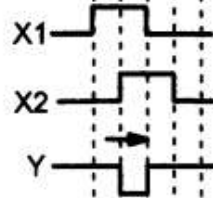
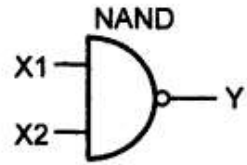
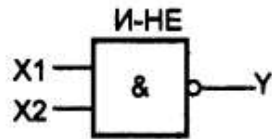
X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0

ЭЛЕМЕНТЫ ЦИФРОВОЙ ЛОГИКИ



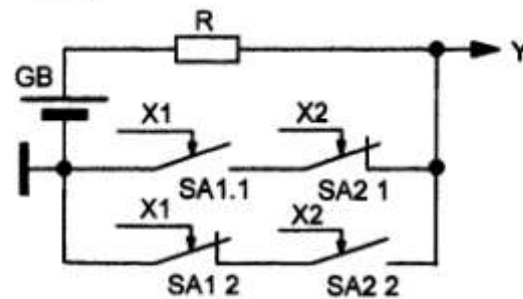
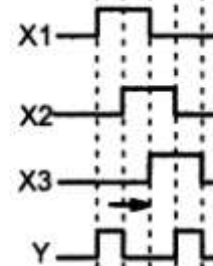
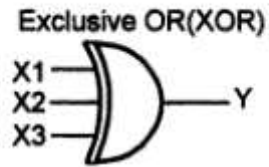
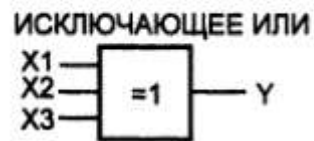
$$Y = X1X2$$

X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1



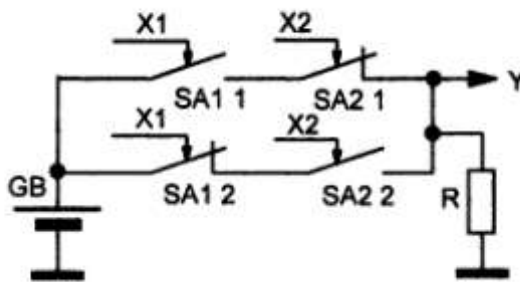
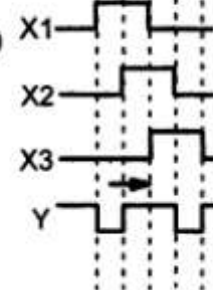
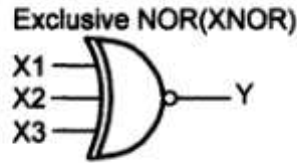
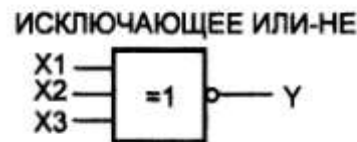
$$Y = \overline{X1X2}$$

X1	X2	Y
0	0	1
0	1	1
1	0	1
1	1	0



$$Y = X1\overline{X2} + \overline{X1}X2$$

X1	X2	X3	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

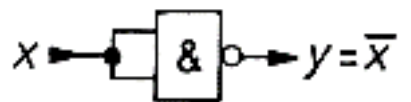
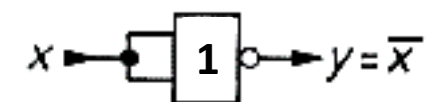
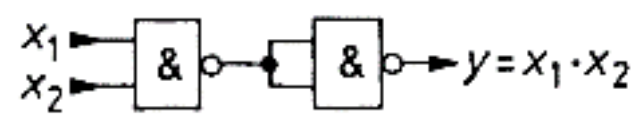
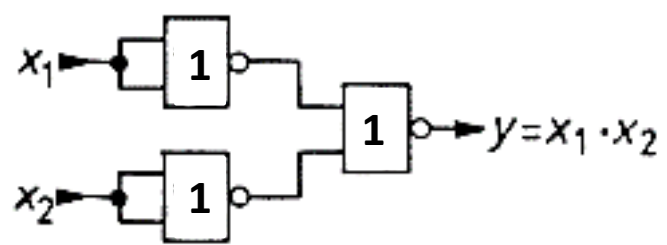
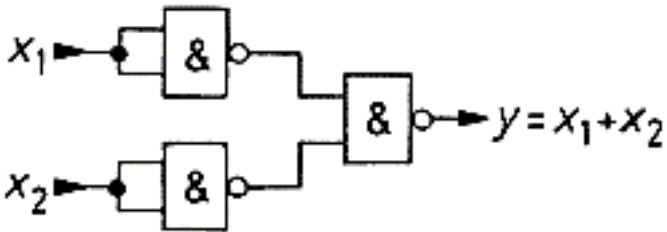
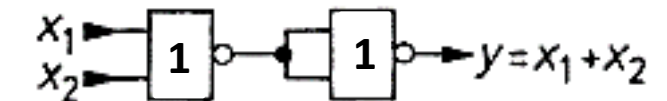


$$Y = X1X2 + \overline{X1X2}$$

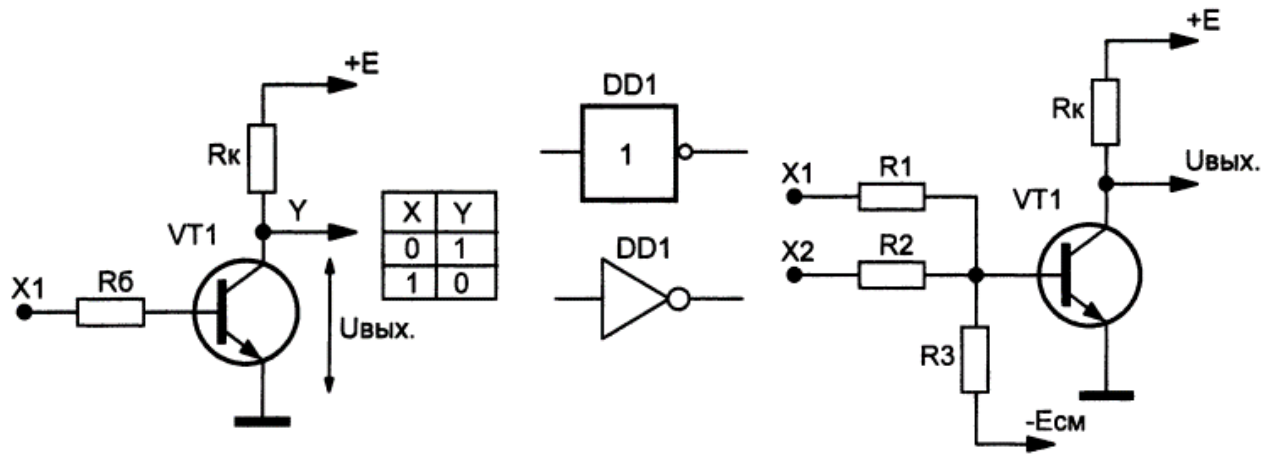
X1	X2	X3	Y
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

РЕАЛИЗАЦИЯ ЛОГИКИ ЦИФРОВЫХ ИС

Реализация основных логических функций посредством логических элементов ИЛИ–НЕ и И–НЕ

Функция	Логический элемент	
	И–НЕ	ИЛИ–НЕ
НЕ		
И		
ИЛИ		

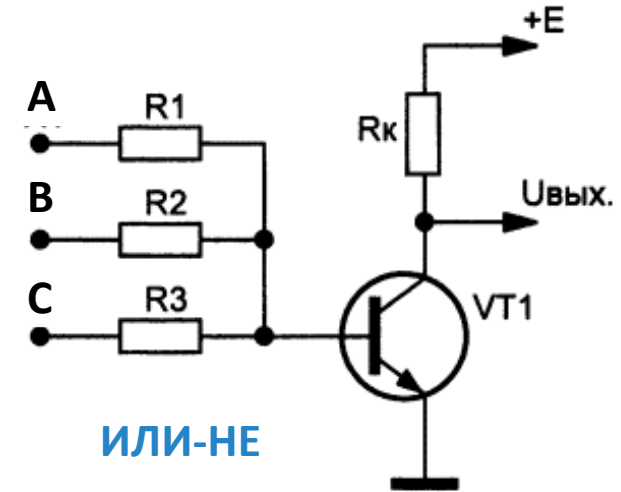
РЕЗИСТОРНО-ТРАНЗИСТОРНАЯ ЛОГИКА



При отсутствии управляющего напряжения VT1 закрыт, и на выходе "микросхемы" присутствует напряжение, близкое к напряжению питания — логическая единица. При подаче управляющего сигнала на вход (входы) микросхемы VT1 полностью открывается, выходное напряжение снижается до $\sim 0,7$ В. Для обеспечения надежного запираения транзистора и повышения помехозащищенности в ряде случаев используется отрицательное смещение на базе $-E_{см}$.

Недостатки РТЛ: высокая рассеиваемая мощность, крайне низкое быстродействие, низкая нагрузочная способность выводов.

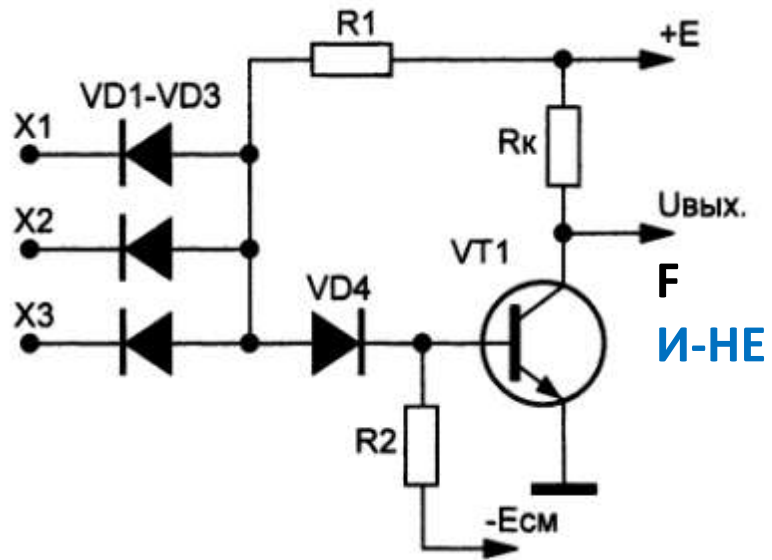
C	B	A	F
L	L	L	H
L	L	H	L
L	H	L	L
L	H	H	L
H	L	L	L
H	L	H	L
H	L	H	L
H	H	H	L



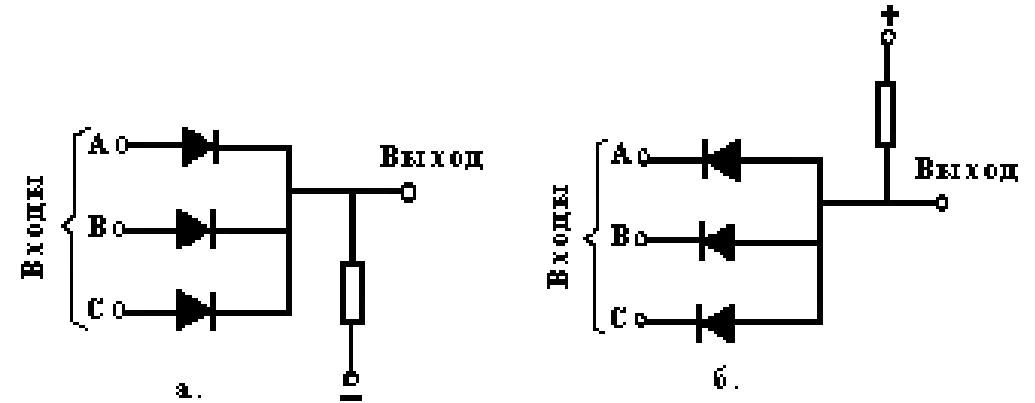
Базовая РТЛ-схема, в которой транзистор находится в режиме насыщения, если на одном или нескольких входах имеется напряжение высокого уровня (H). При этом выходное напряжение схемы равно 0 В (L). Таким образом, в рамках положительной логики эта РТЛ-схема является схемой ИЛИ-НЕ с функцией $F = \overline{A+B+C}$. Выходное напряжение схемы имеет высокий уровень (H), если все три входных напряжения равны нулю (L). В режиме с низким уровнем на входе (0 В, отрицательная логика), схема ведет себя как схема И-НЕ с функцией $F = \overline{A \cdot B \cdot C}$.

ДИОДНО-ТРАНЗИСТОРНАЯ ЛОГИКА

Логические функции реализованы с помощью входных диодных цепей, а усиление и инверсия сигнала - с помощью транзистора. Более высокое быстродействие, чем РТЛ.



1	2	3	F
L	L	L	H
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

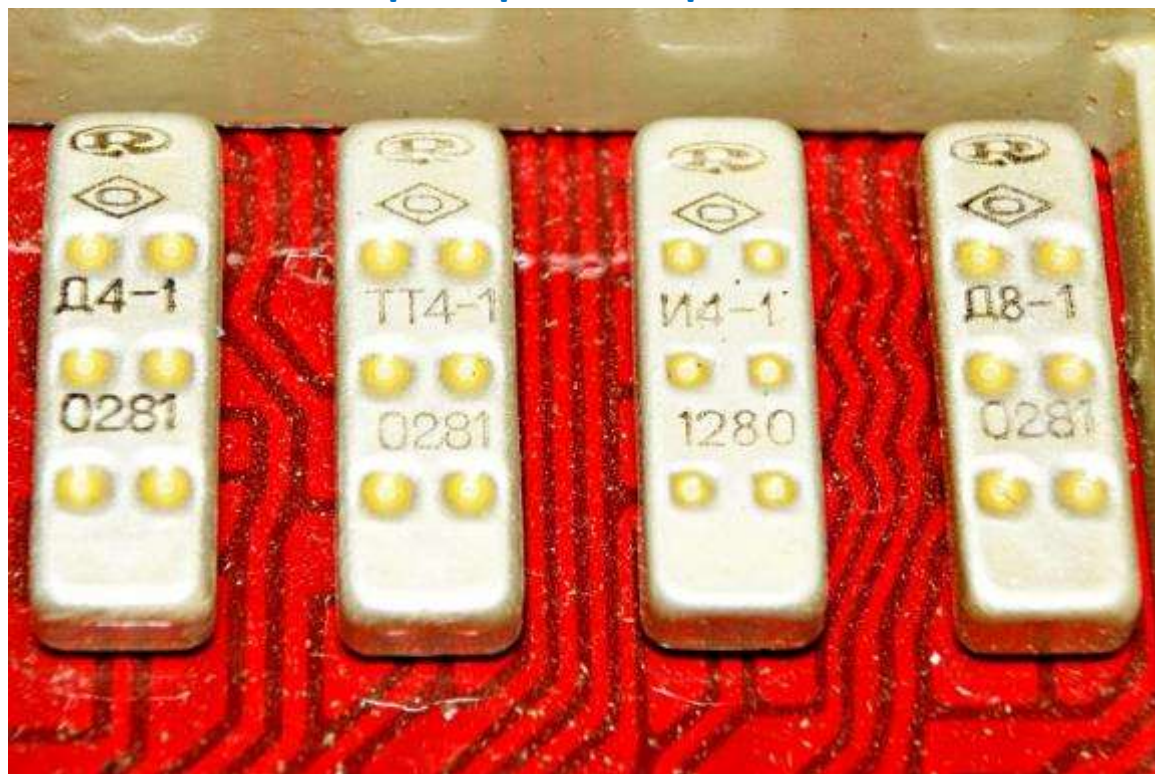


В схеме *а* выходное напряжение положительно, если положительны А или В или С. Выходное напряжение отрицательно, если отрицательны А и В и С. Таким образом, эта схема ведет себя как схема **ИЛИ** при положительных и как схема **И** при отрицательных входных сигналах. В диодной схеме *б*, наоборот, реализуется функция **ИЛИ** для отрицательных входных сигналов и функция **И** для положительных.

Основными причинами инерционности электронных ключей, выполненных на биполярных транзисторах, являются время рассасывания неосновных носителей из его базовой области и постоянная времени перезарядки выходной ёмкости.

ВЕСЁЛЫЕ КАРТИНКИ

Резисторно-транзисторная логика



серия Р12-2,
1970-е годы

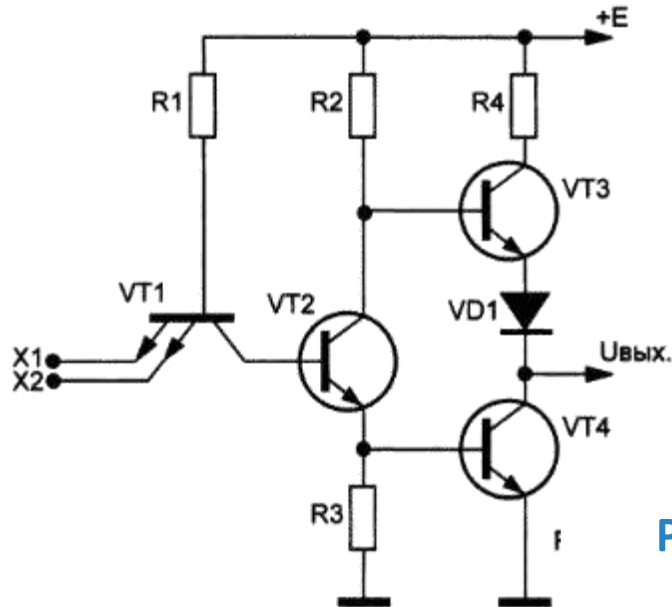
Диодно-транзисторная логика



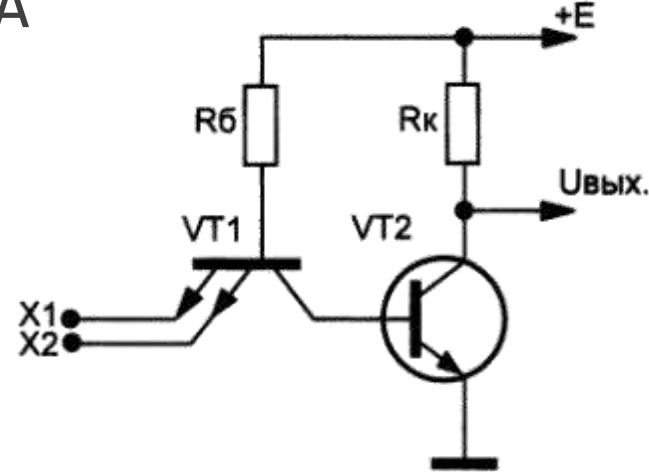
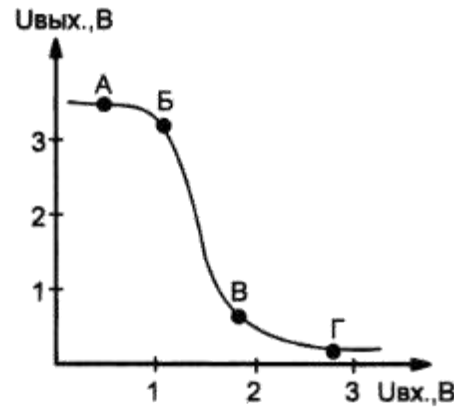
Микросхемы серии 217,
выполненные на тонких
пленках, 1970-е годы

ТРАНЗИСТОРНО-ТРАНЗИСТОРНАЯ ЛОГИКА

Логика построена на основе биполярных транзисторов и резисторов. Более высокое быстродействие по сравнению с РТЛ и ДТЛ, и более простая технология изготовления. Дополнительным бонусом является усиление выходного сигнала.

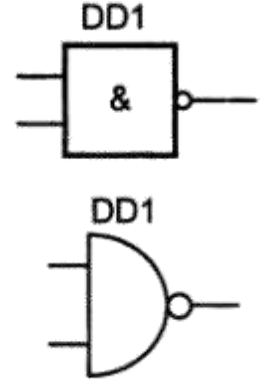


Реальная схема 2И-НЕ



2И-НЕ

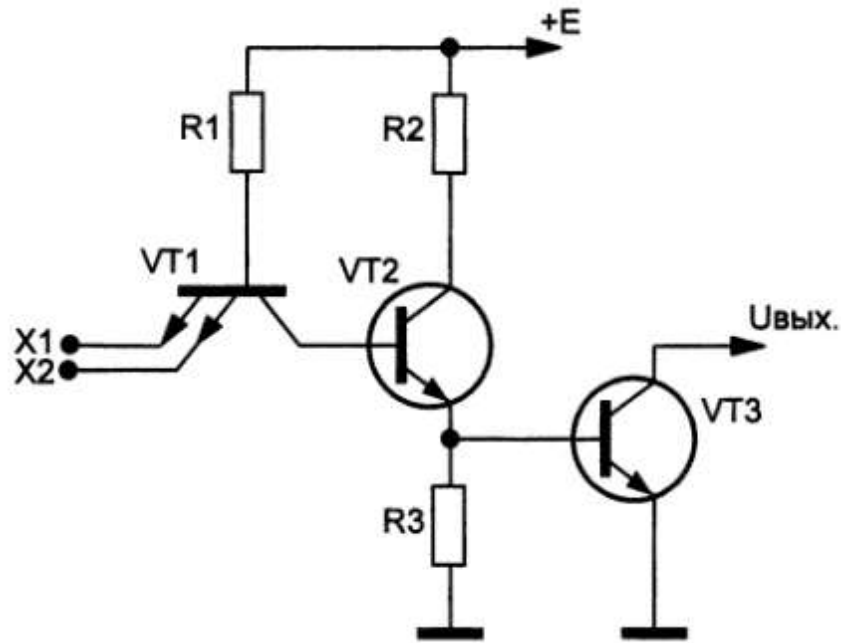
X1	X2	Y
0	0	1
0	1	1
1	0	1
1	1	0



Базовый логический элемент ТТЛ повторяет структуру ДТЛ микросхем, но вместо входной диодной сборки в нем использован многоэмиттерный транзистор VT1, к коллекторному выходу которого подключен транзистор VT2, выполняющий функцию инвертирующего усилителя. Заряд, возникающий в базе транзистора VT2, быстро рассасывается через транзистор VT1, что существенно влияет на скорость переключения ТТЛ-схемы.

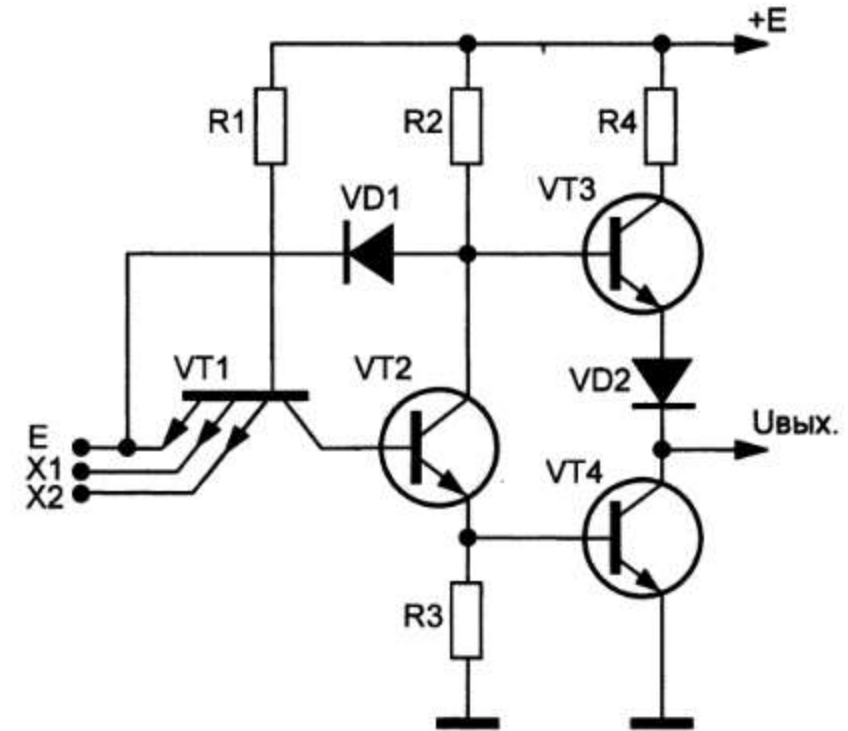
Если напряжение на входах = U_H (> 3.3 В), VT2 и VT4 находятся в режиме насыщения (участок В-Г на графике), при этом VT3 закрыт, выходное напряжение L (~ 0.2 В). Если на одном из входов напряжение U_L , VT2 и VT4 будут закрыты, VT3 – открыт, диод также открыт, на выходе – уровень H (точка А).

ТРАНЗИСТОРНО-ТРАНЗИСТОРНАЯ ЛОГИКА



Дополнительный вход управления EZ позволяет переводить микросхему в состояние "отключено" (sleep), подав U_L на этот вход. Микросхема переходит в высокоимпедансное состояние и резко снижает потребление энергии.

Для повышения нагрузочной способности логического элемента и обеспечения возможности работы его выходного каскада при повышенном напряжении в выходном каскаде используют схему с открытым коллектором. Смещающий резистор подключается "снаружи".



Достоинства ТТЛ:

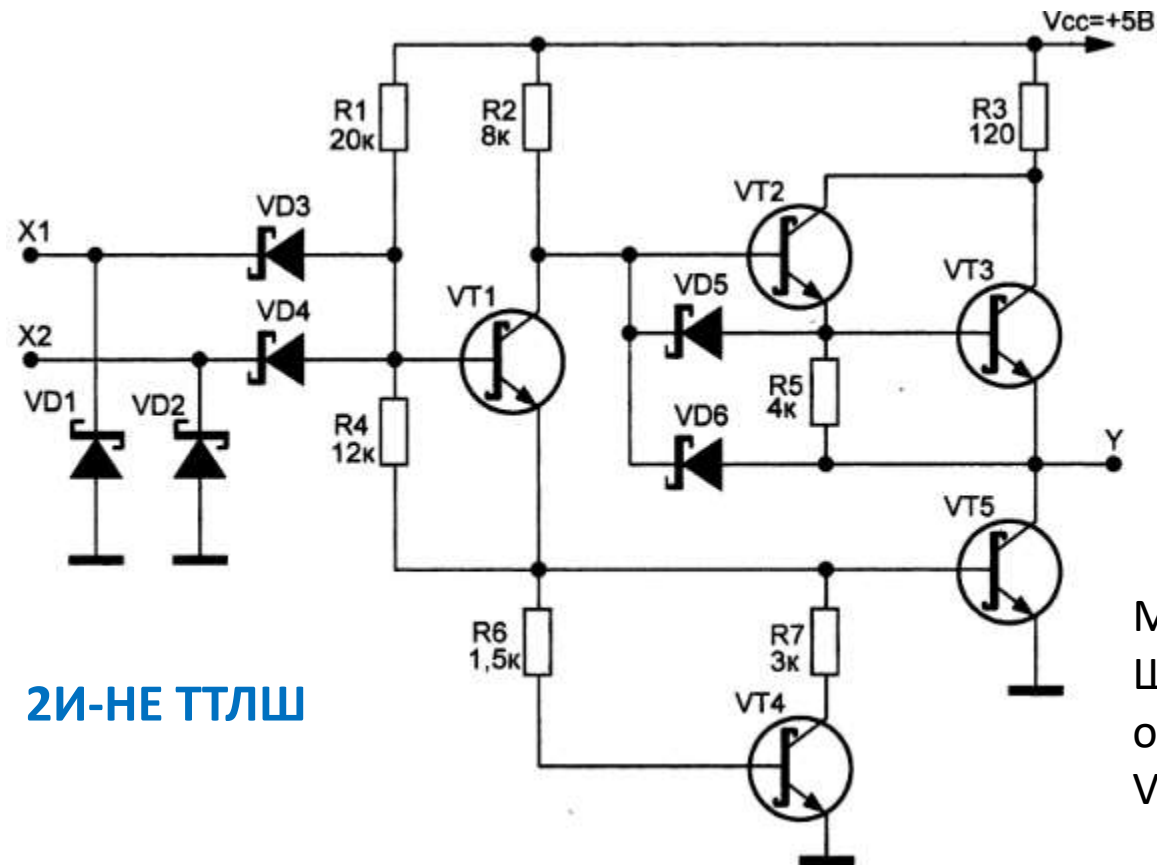
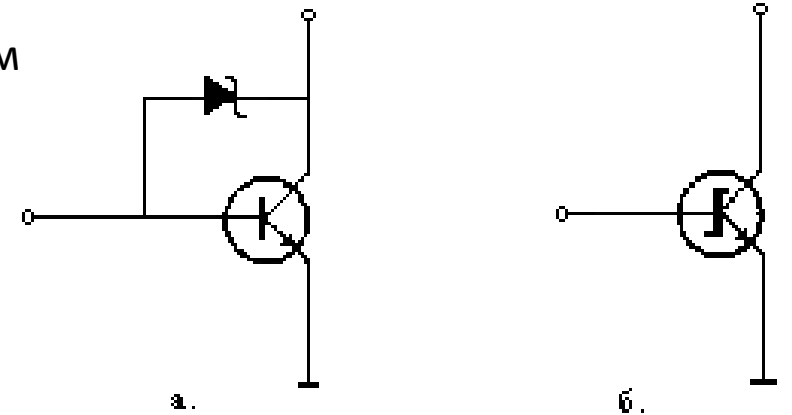
- простота технической реализации, дешевизна
- относительно высокое быстродействие
- умеренное энергопотребление

Недостатки ТТЛ:

- малый коэффициент разветвления по выходам
- низкая помехоустойчивость (даже по сравнению с ДТЛ)

ТРАНЗИСТОРНО-ТРАНЗИСТОРНАЯ ЛОГИКА С ДИОДАМИ ШОТТКИ

Является развитием логики ТТЛ. Отличается повышенным быстродействием при одновременном снижении потребляемой мощности за счёт использования диодов и транзисторов Шоттки. Недостатком микросхем ТТЛШ в сравнении с ТТЛ является меньшая помехоустойчивость из-за меньшего размаха выходного напряжения.



Транзистор Шоттки отличается от обычного транзистора тем, что в нем коллектор соединен с базой с помощью диода Шоттки, который предотвращает работу транзистора в режиме насыщения. Благодаря этому соединению исключается эффект накопления электронов в области базы, т. е. в конечном счете уменьшаются задержки, зависящие от эффекта накопления.

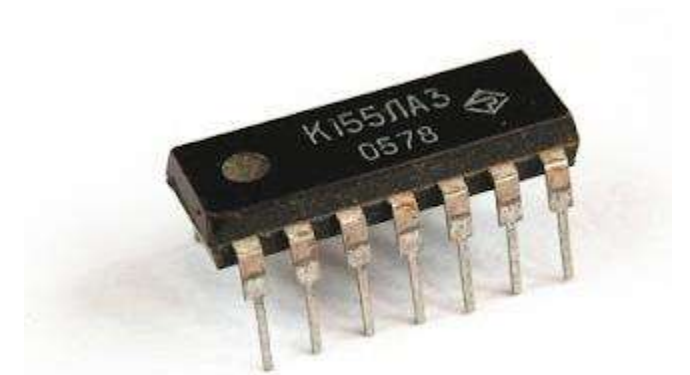
Многоэмиттерный вход заменен схемой И из диодов Шоттки. Диоды с заземлённым выводом подавляют осцилляции и отражения во входных сигнальных линиях. VT2 и VT3 представляют собой транзистор Дарлингтона.

ИСПОЛЬЗОВАНИЕ МИКРОСХЕМ ТТЛ И ТТЛШ

Для ТТЛ:

- Напряжение источника питания $+5\text{ В} \pm 5\%$
- Предельное напряжение питания 7 В
- Каждый вход потребляет ток 40 мкА ("1") и отдаёт ток 1.6 мА ("0")
- Каждый выход отдаёт ток 0.4 мА и принимает ток $\geq 16\text{ мА}$
- Быстродействие 13 нс
- Рассеиваемая мощность 10 мВт на вентиль
- Нагрузочная способность по входу - 10

Питание ТТЛ-микросхем организуется в виде двух шин (обычно из медных или латунных полос) с короткими отводами печатных дорожек к выводам питания. Применение разветвленных дорожек питания запрещено. Между шинами питания возле каждой микросхемы устанавливают блокировочные конденсаторы емкостью 10-100 нФ с малой паразитной индуктивностью (керамические или слюдяные). К шине питания подключают электролитический конденсатор емкостью 50 мкФ. У микросхем ТТЛШ оставлять не подключенными неиспользуемые входы запрещено, у ТТЛ – не рекомендовано.



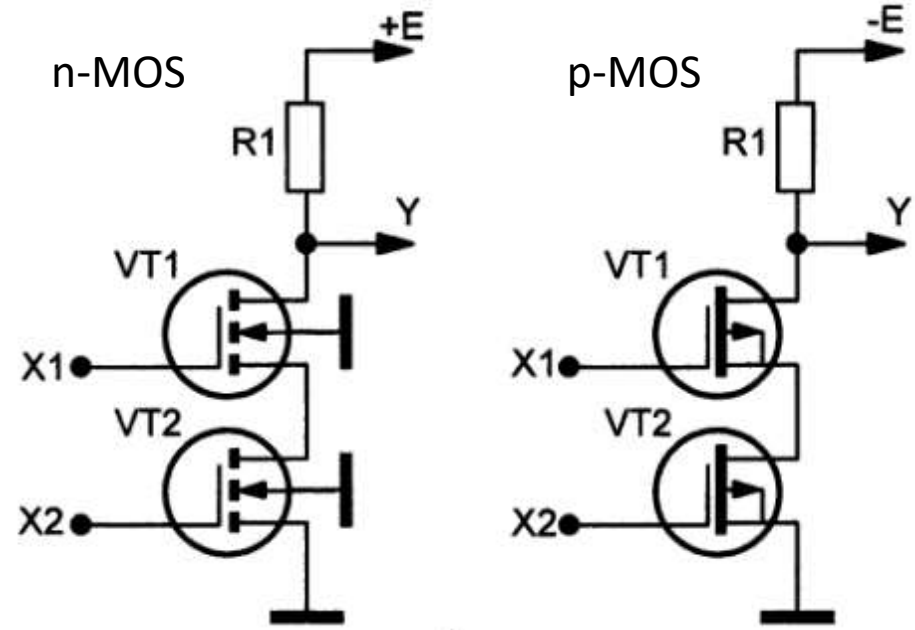
Особенности ТТЛШ:

- Быстродействие 10 нс
- Помехоустойчивость не менее 0.3 В
- Рассеиваемая мощность 2мВт на вентиль
- Нагрузочная способность по входу - 20

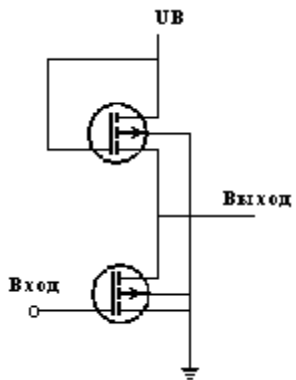
ЛОГИКА НА МОП-ТРАНЗИСТОРАХ

Плотность упаковки функциональных элементов в ~ 10 раз выше, чем в ИС на основе биполярных транзисторов. Высокий входной импеданс полевых МОП-транзисторов способствует тому, что логические схемы рассеивают небольшую мощность в области затвора, что позволяет получить почти бесконечную нагрузочную способность в режиме постоянного тока.

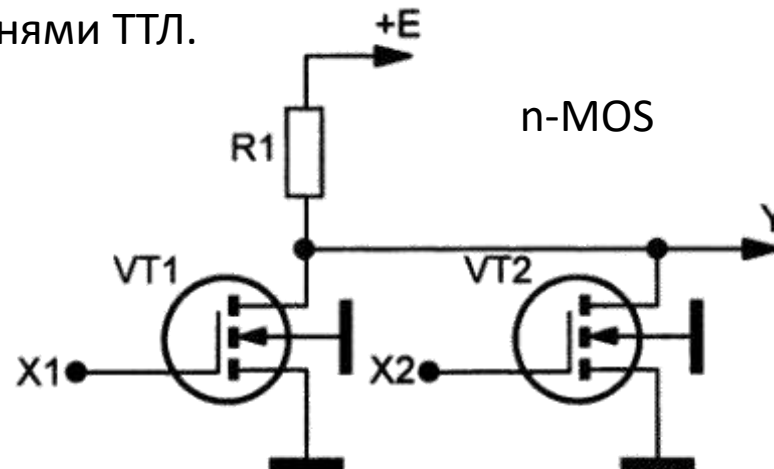
Недостатком полевых МОП-транзисторов с алюминиевым затвором является довольно высокое пороговое напряжение, поэтому приходится использовать повышенное напряжение питания, которое влияет на быстродействие, потребляемую мощность, и не совместимо с уровнями ТТЛ.



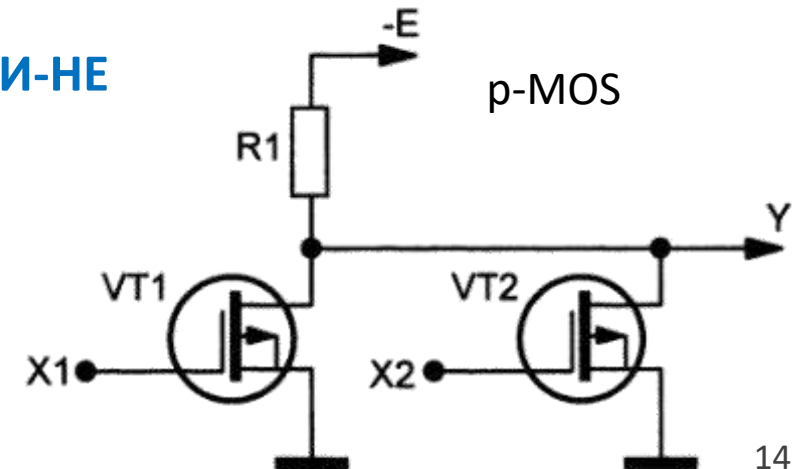
2И-НЕ



Нагрузочное сопротивление можно реализовать в виде транзистора



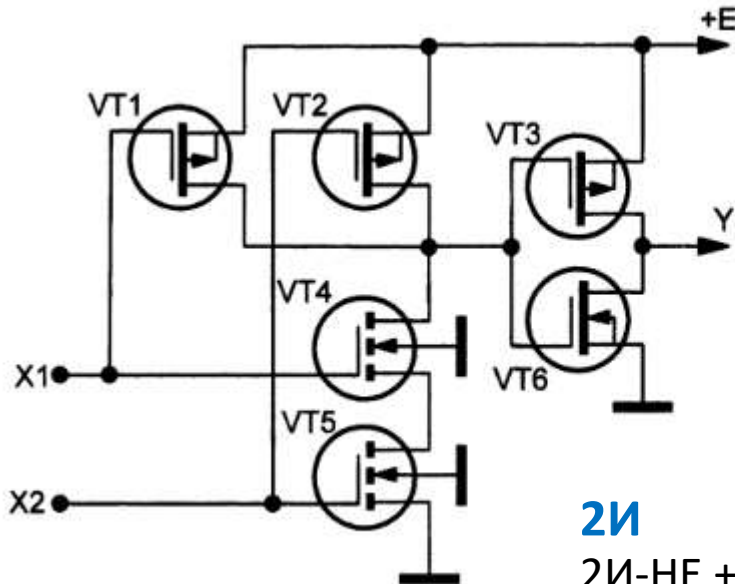
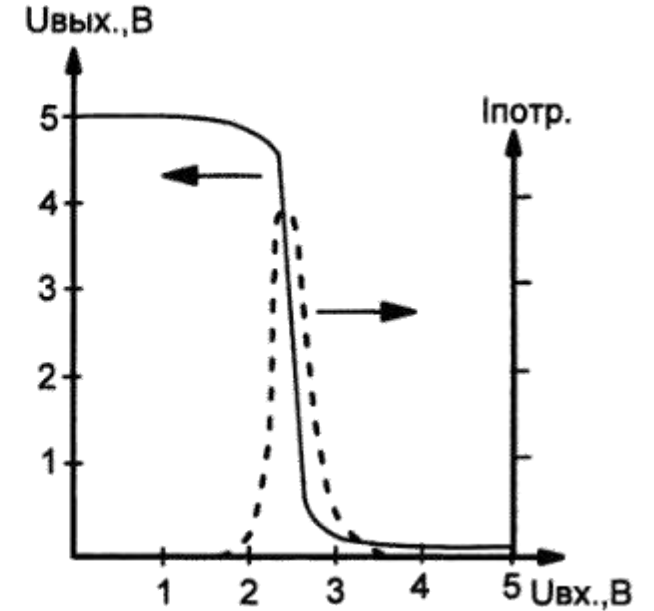
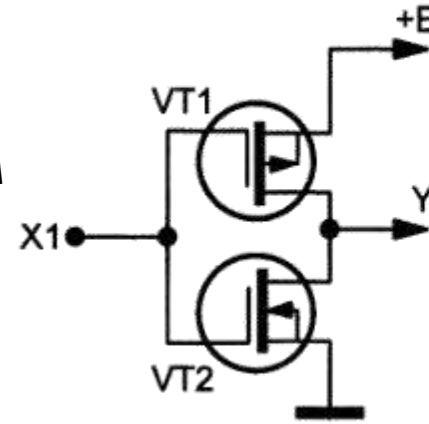
2ИЛИ-НЕ



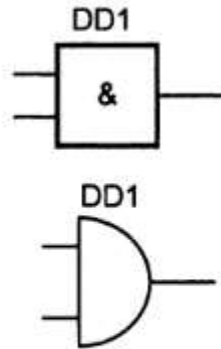
ЛОГИКА НА КМОП-ТРАНЗИСТОРАХ

Для существенного снижения потребляемой мощности в логических МОП-схемах и повышения их быстродействия была разработана технология КМОП. Базовым элементом являются полевые транзисторы с изолированным затвором и с каналами разной проводимости. Потребление энергии происходит лишь во время переключения состояния элементов микросхемы. Напряжение питания КМОП-микросхем в зависимости от их серийных особенностей может лежать в пределах от 2 до 18 В.

Инвертор



X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1



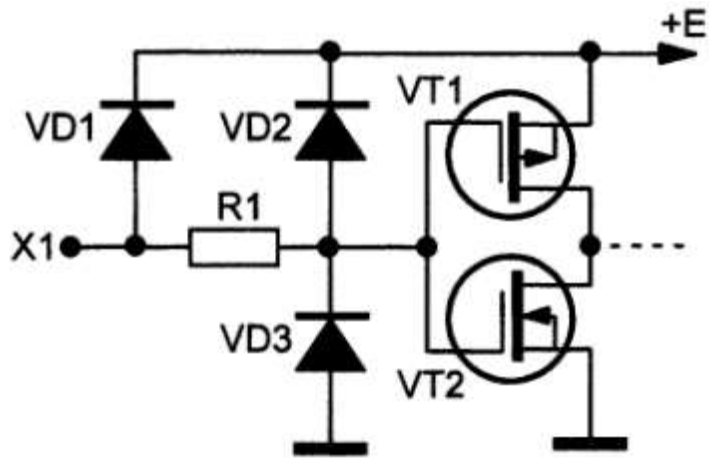
2И

2И-НЕ + инвертор

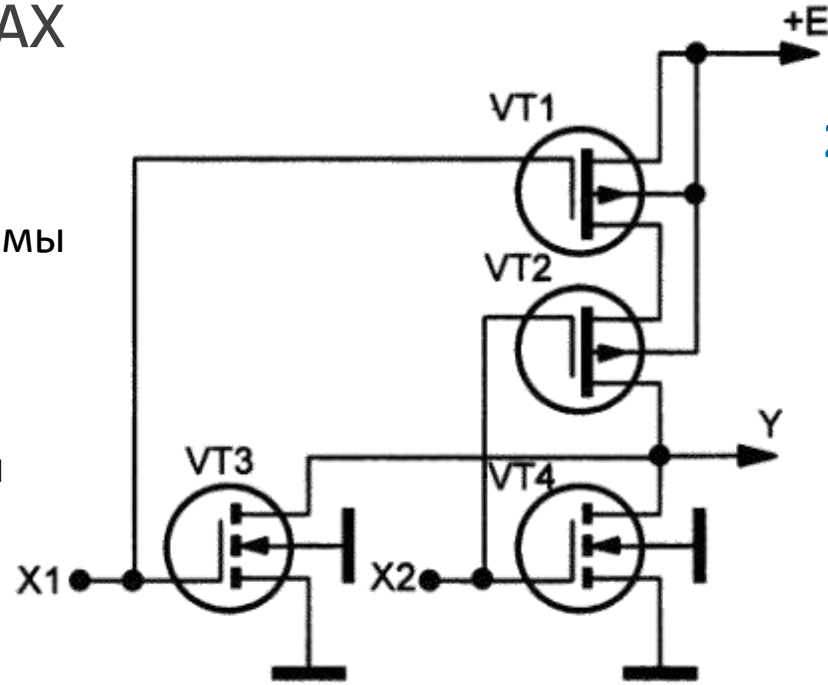
Если на вход подается U_H , напряжение на затворе n-канального VT2 превысит пороговое, а напряжение на затворе p-канального VT1 будет меньше порогового (т.к. его подложка соединена с "+" шиной питания). При этом VT2 становится проводящим, а VT1 запирается. Выход схемы замыкается на землю через VT2. И наоборот, если на вход подается напряжение U_L , проводящим оказывается VT1, а запирается VT2. Выход схемы замыкается на шину питания через сопротивление VT1.

ЛОГИКА НА КМОП-ТРАНЗИСТОРАХ

Для защиты полевых транзисторов КМОП-микросхем от пробоя каждый вход микросхемы снабжается защитной диодно-резистивной цепью. При попадании на вход микросхемы сигнала с напряжением выше напряжения питания диод VD1 будет открыт и перегрузки входных цепей микросхемы не произойдет.

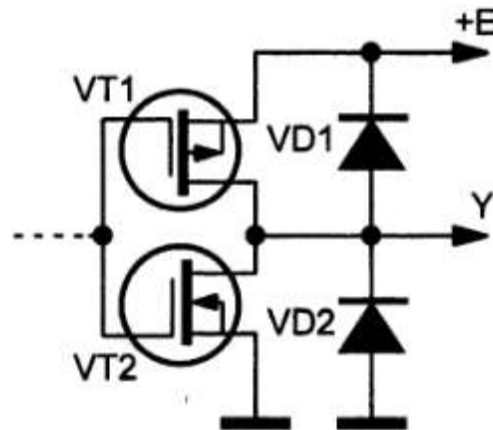
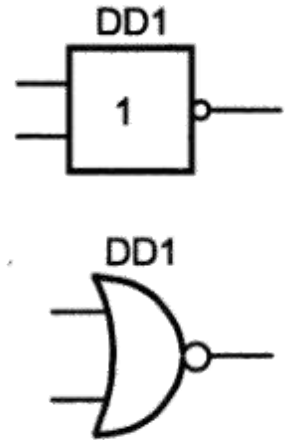


диодная защита входа



2ИЛИ-НЕ

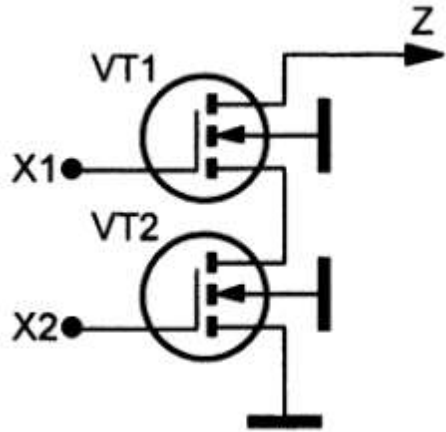
X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0



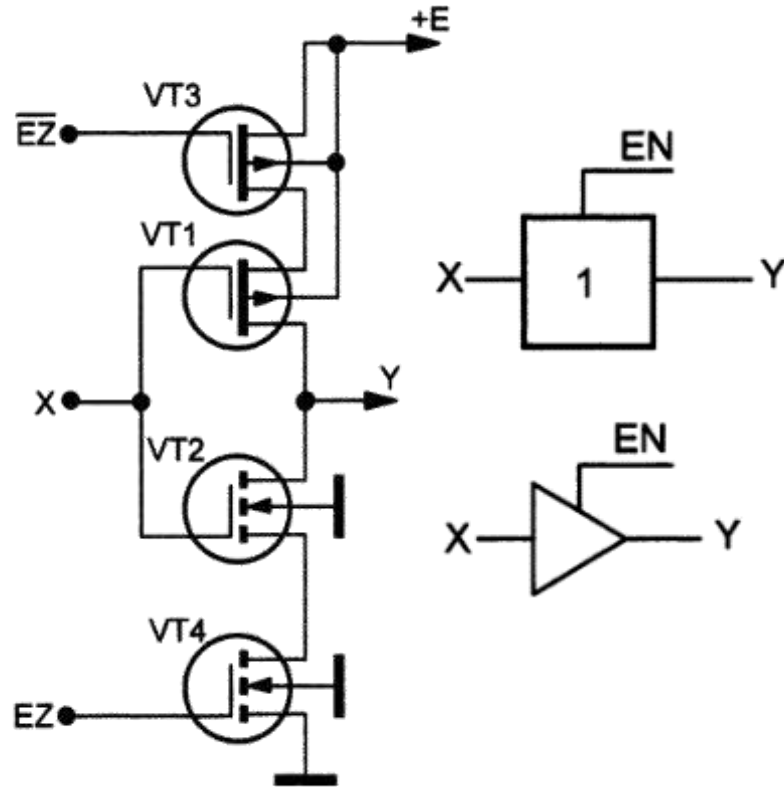
диодная защита выхода

Особенностью КМОП-микросхем является их высокое входное сопротивление. В связи с этим входы микросхем подвержены действию наводок. Поэтому необходимо применять меры защиты от воздействия статического электричества, импульсных напряжений и др.

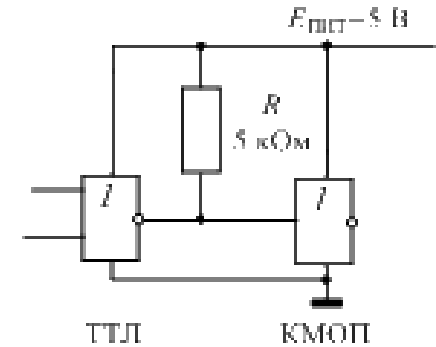
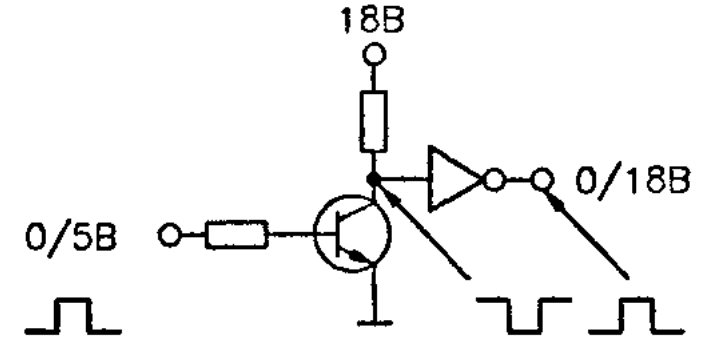
ЛОГИКА НА КМОП-ТРАНЗИСТОРАХ



Для расширения функциональных возможностей КМОП-логики отдельные виды микросхем выполняются по схеме с открытым стоком. Такое решение позволяет использовать для питания выходного каскада отдельный источник напряжения и подключать более низкоомную нагрузку.



КМОП инвертор с тремя состояниями выхода, подача напряжения на входы EZ отключает транзисторы VT1 и VT2.

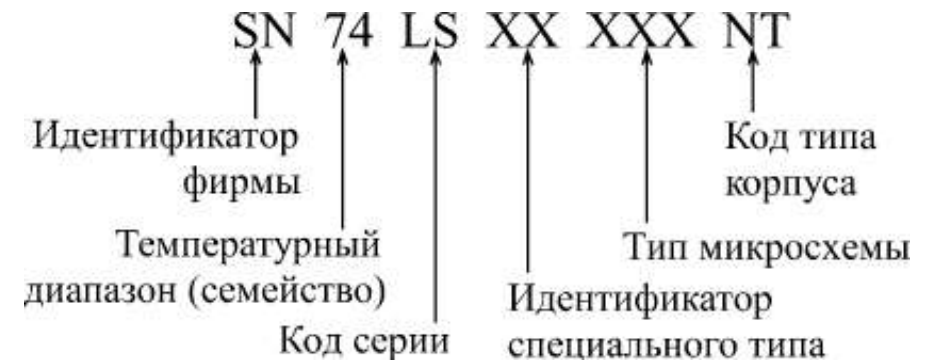


При совместной работе с ТТЛ на нагрузку КМОП-микросхем рекомендуется подключать резисторы 1-10 кОм между питанием и входом КМОП-микросхемы.

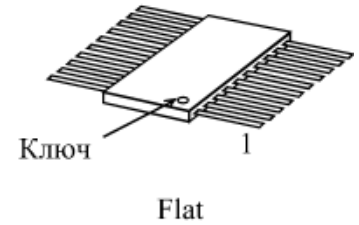
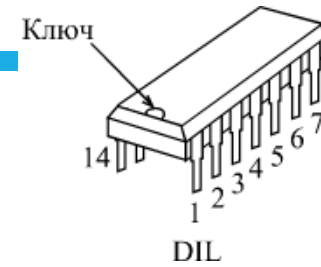
ОБОЗНАЧЕНИЯ СЕРИЙ МИКРОСХЕМ ТТЛ, ТТЛШ, КМОП И БИКМОП

Система обозначений:

- Тип семейства: 74 – общего назначения, 54 – военного назначения (температура: $-55...+125^{\circ}\text{C}$)
- Код серии:
 - Отсутствует – стандартная ТТЛ-серия
 - LS (Low Power Schottky) – маломощная серия ТТЛШ
 - S (Schottky) – серия ТТЛШ
 - ALS (Advanced Schottky) – улучшенная серия ТТЛШ
 - F (FAST) – быстрая серия ТТЛ
 - HC (High Speed CMOS) – высокоскоростная КМОП-серия
 - HCT (High Speed CMOS with TTL inputs) – серия HC, совместимая по входу с ТТЛ
 - AC (Advanced CMOS) – улучшенная серия КМОП
 - ACT (Advanced CMOS with TTL inputs) – серия AC, совместимая по входу с ТТЛ
 - BCT (BiCMOS Technology) – серия с БикМОП-технологией
 - ABT (Advanced BiCMOS Technology) – улучшенная серия с БикМОП-технологией
 - LVT (Low Voltage Technology) – серия с низким напряжением питания
- Тип микросхемы (от двух до шести цифр) – логика микросхемы
- Код типа корпуса: N – пластмассовый корпус DIL (DIP), J – керамический DIL (DIC), T – плоский металлический.



СЕРИИ МИКРОСХЕМ ТТЛ, ТТЛШ И КМОП



- **K155 (SN74)** – "классическая ТТЛ" серия, с наибольшей номенклатурой элементов. Низкое быстродействие, высокая рассеиваемая мощность
- **K555 (SN74LS)** – ТТЛШ, малые входные токи, в несколько раз снижена потребляемая мощность, сравнимое быстродействие
- **KP531 (SN74S)** – ТТЛ, высокое быстродействие (в 3–4 раза выше K155), большие входные токи (на 25% больше K155) и большая потребляемая мощность
- **KP1531 (SN74F)** – "быстродействующая" серия ТТЛ, быстродействие на уровне KP531, малая потребляемая мощность (входные токи и ток потребления вдвое меньше, чем у K155)
- **KP1533 (SN74ALS)** – ТТЛШ, повышенное примерно вдвое по сравнению с K155 быстродействие и потребляемая мощность в четыре раза меньше, чем у K155
- **KP1554 (SN74AC)** – КМОП. Сверхмалые входные токи и сверхмалое потребление при малых рабочих частотах. Быстродействие примерно вдвое больше, чем у K155.

Все серии, за исключением последней, полностью совместимы между собой по входам и выходам, зарубежные (разных стран) и отечественные могут использоваться совместно.

ПАРАМЕТРЫ МИКРОСХЕМ ТТЛ И КМОП

ТТЛ и ТТЛШ

Параметр	Серия микросхем				
	K155	K531	K555	K1531	K1533
	74	74S	74LS	74F	74ALS
t_{PHL} , нс	22	17,5	15	5,5	11
t_{PLH} , нс	15	12	15	5,6	8
I_{IL} , мА	-1,6	-1,6	-0,4	-0,6	-0,1
I_{IH} , мА	0,04	0,04	0,02	0,02	0,02
I_{OL} , мА	16	16	8	20	15
I_{OH} , мА	-0,4	-0,8	-0,4	-1	-0,4
U_{OL} , В	0,4	0,2	0,5	0,3	0,5
U_{OH} , В	2,4	3,4	2,7	3,4	2,5
I_{CC} , мА	12	11	4,4	4,1	3

КМОП

Параметр	Серия микросхем					
	K176	K561	K1561	K1554	K1564	K1564
	4000	4000A	4000B	74AC	74HCT	74ACT
t_{PHL} , нс	250	120	50	8,7	18	3,2
t_{PLH} , нс	250	120	50	8,7	18	3,2
I_{IL} , мкА	-0,1	-0,1	-0,1	-0,1	-0,1	-0,1
I_{IH} , мкА	0,1	0,1	0,1	0,1	0,1	0,1
U_{OL} , В	0,3	0,3	0,3	1,65	1,65	1,65
U_{OH} , В	8,2	8,2	8,2	3,9	3,9	3,9
I_{CC} , мА	0,0005	0,0002	0,0002	0,4	0,08	2,4

t_{PHL} – время задержки при переходе сигнала из единицы в нуль

t_{PLH} – время задержки при переходе сигнала из нуля в единицу

I_{IL} – входной ток нуля

I_{OL} – выходной ток нуля

I_{IH} – входной ток единицы

I_{OH} – выходной ток единицы

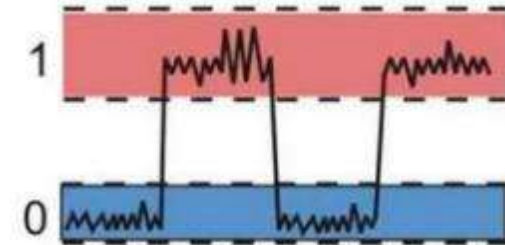
U_{IL} – входное напряжение нуля

U_{OL} – выходное напряжение нуля

U_{IH} – входное напряжение единицы

U_{OH} – выходное напряжение единицы

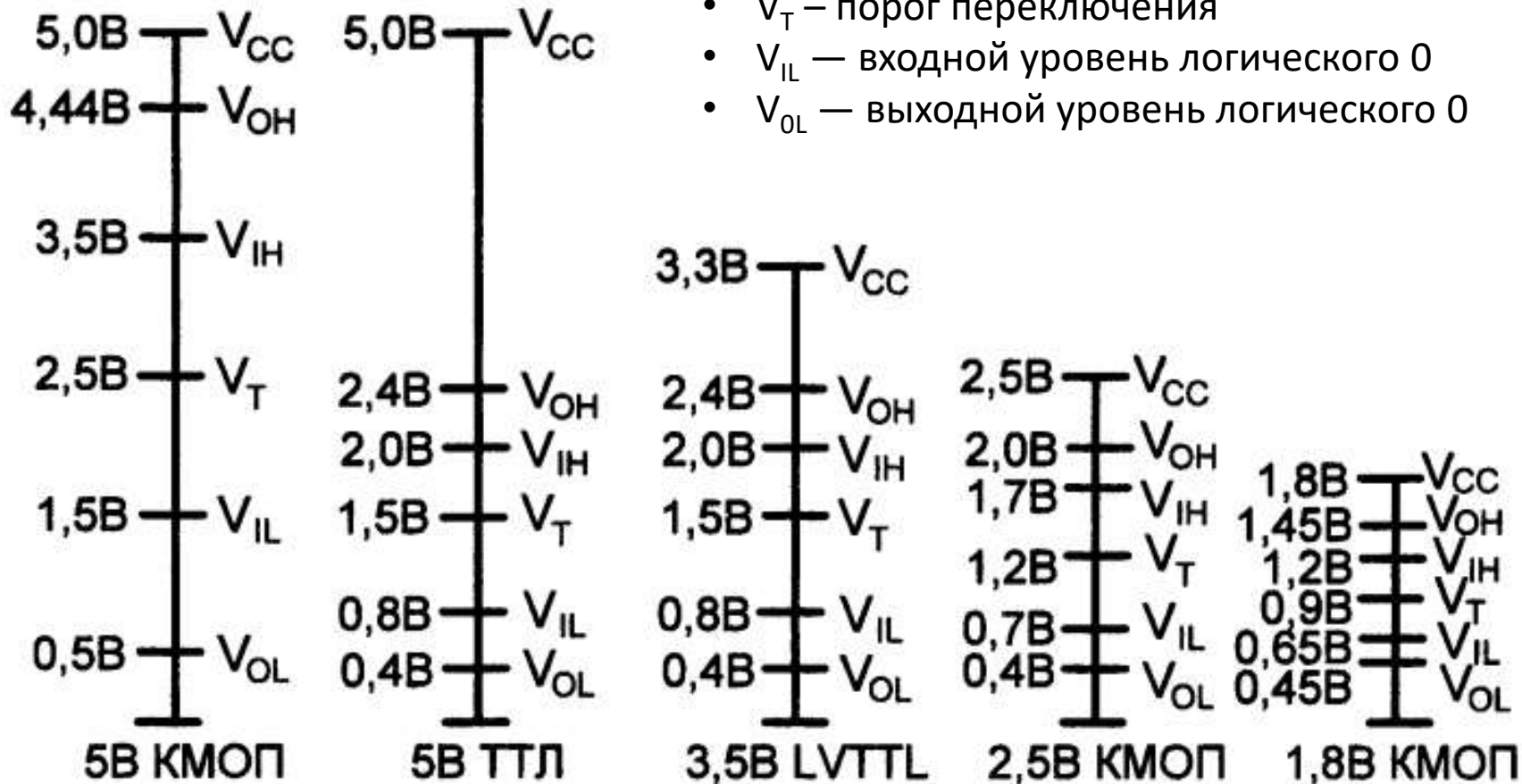
I_{CC} – максимальный ток, потребляемый микросхемой



ДИАПАЗОНЫ НАПРЯЖЕНИЙ ДЛЯ МИКРОСХЕМ РАЗЛИЧНЫХ СЕРИЙ

- V_{CC} — напряжение питания
- V_{OH} — выходной уровень логической 1
- V_{IH} — входной уровень логической 1
- V_T — порог переключения
- V_{IL} — входной уровень логического 0
- V_{OL} — выходной уровень логического 0

нога 7 — V_{CC}
нога 14 — земля



В исторической перспективе ТТЛ микросхемы с номинальным напряжением питания 5 вольт полностью отойдут в прошлое, поскольку сейчас самый распространённый номинал питания логики КМОП 3.3 вольта.



ЭМИТТЕРНО-СВЯЗАННАЯ ЛОГИКА

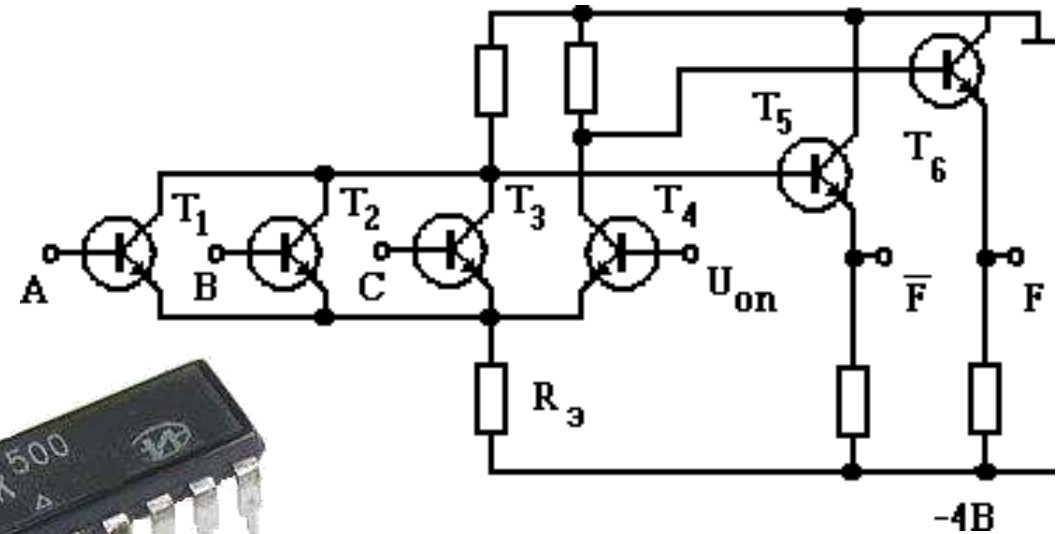
Основана на использовании дифференциальных транзисторных каскадов. ЭСЛ самая быстродействующая из всех типов логики, поскольку транзисторы ЭСЛ работают в ненасыщенном линейном режиме.

Преимущества:

- Весьма высокое быстродействие
- Стабильность динамических параметров при изменении температуры и $U_{\text{пит}}$
- коэффициент разветвления по входам ~ 12
- коэффициент разветвления по выходу ~ 100
- малая мощность рассеяния при переключении

Недостатки:

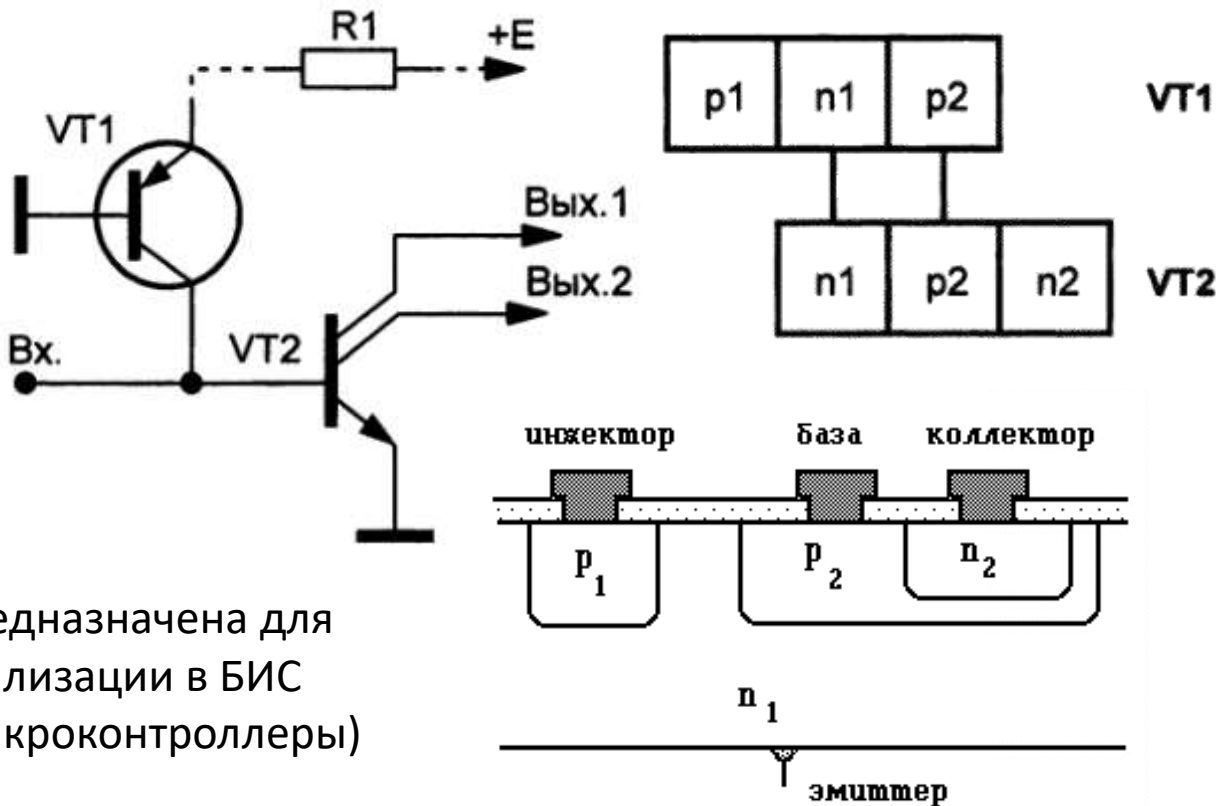
- отрицательное $U_{\text{пит}}$, несовместимость с ТТЛ и КМОП
- низкая помехоустойчивость
- низкая степень интеграции



Транзисторы T_1 - T_3 и T_4 образуют дифференциальный усилитель, работающий как переключатель токов. Опорное напряжение $U_{\text{оп}}$ на транзисторе T_4 обеспечивает постоянное смещение на эмиттере. На резисторе R_3 суммируются токи, протекающие через T_1 - T_3 и T_4 . При напряжении на любом из входов А, В или С, большем $U_{\text{оп}}$, происходит изменение потенциалов и этот разбаланс передаются на выходные повторители T_5 и T_6 .

ИНТЕГРАЛЬНАЯ ИНЖЕКЦИОННАЯ ЛОГИКА

Является развитием логики с непосредственными связями между транзисторами. Основой элементов И²Л является транзисторный ключ с инжекционным питанием, состоящий из транзистора VT2 структуры n-p-n и генератора тока инжекции на транзисторе VT1 структуры p-n-p.



Предназначена для реализации в БИС (микроконтроллеры)

Преимущества:

- Высокая степень интеграции (в 50 раз лучше ТТЛ)
- Низкое напряжение питания (1-3 В)
- Малая рассеиваемая мощность

Недостатки:

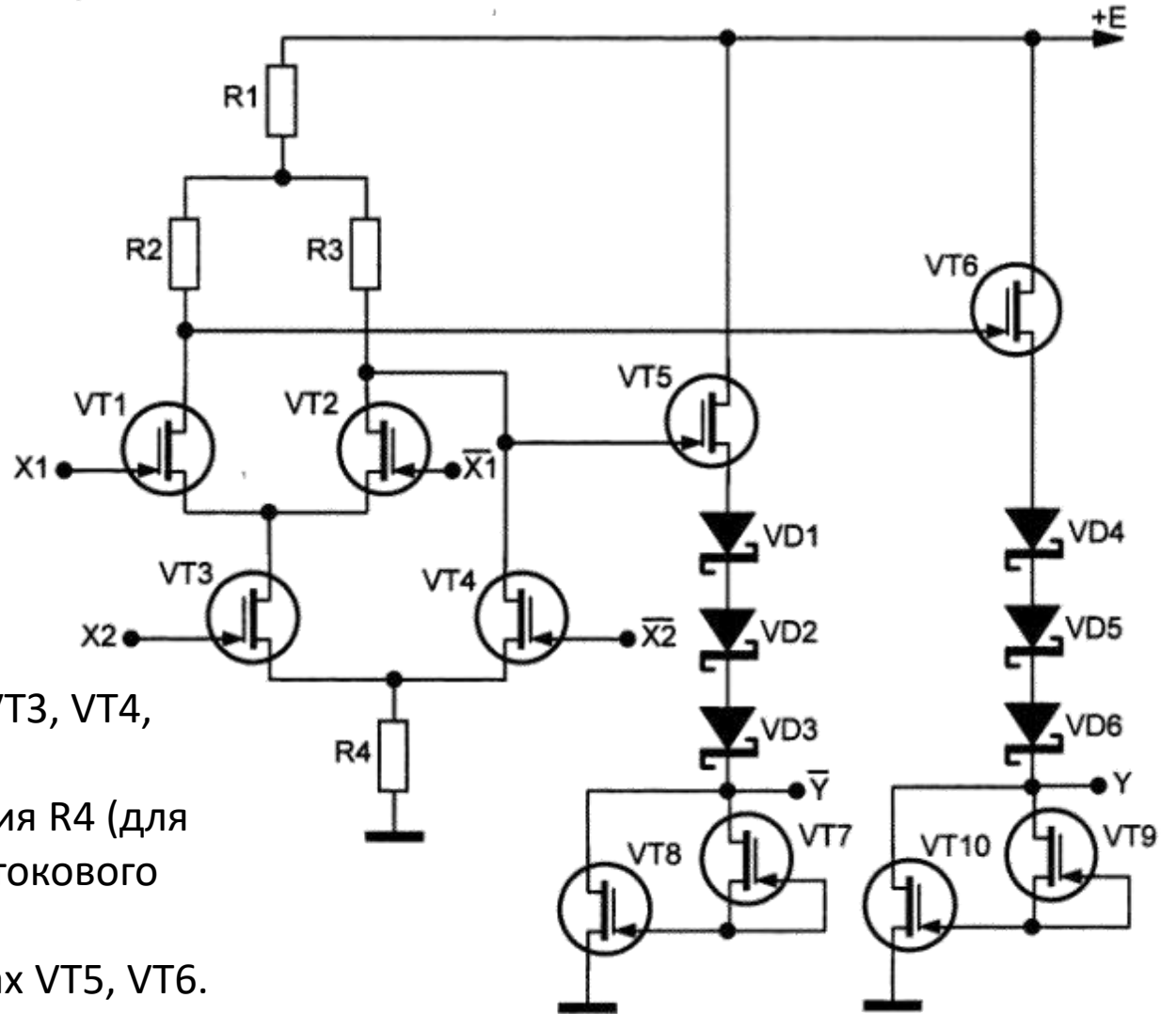
- Малый перепад напряжений между логической единицей и нулём
- Чувствительность к помехам
- Коэффициент объединения по входам: 1
- Коэффициент разветвления по выходам: 5
- Несовместимость с цифровыми микросхемами иных логик
- Быстродействие хуже, чем у ТТЛШ

ИСТОКОВО-СВЯЗАННАЯ ЛОГИКА

Истоково-связанная логика (ИСЛ) на основе GaAs-полевых транзисторов с управляющим затвором Шоттки, в отличие от эмиттерно-связанной логики, имеет в 4-6 раз меньшую мощность потребления на один логический элемент, в 3-8 раз большую частоту переключения и, соответственно, меньшую задержку. Такие логические элементы способны работать на частотах свыше 1 ГГц.

Базовый логический элемент ИСЛ построен по схеме переключателя тока на основе

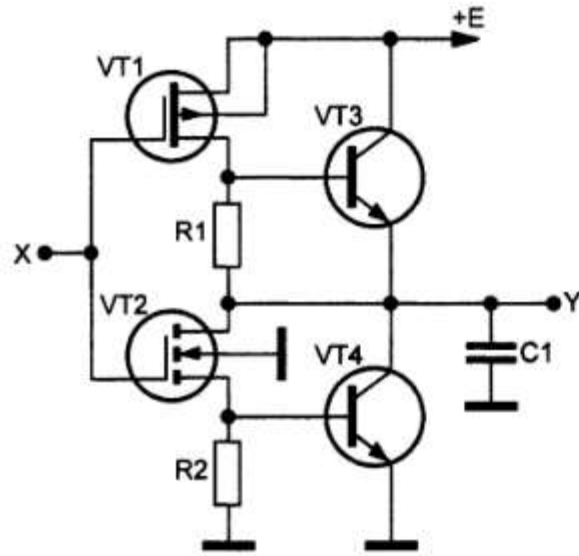
- дифференциальных пар транзисторов VT1, VT2 и VT3, VT4,
- резистора R1, определяющего ток истока,
- нагрузочных резисторов R2, R3, резистора смещения R4 (для согласования по уровням напряжения выходов истокового переключателя тока),
- выходных истоковых повторителей на транзисторах VT5, VT6.



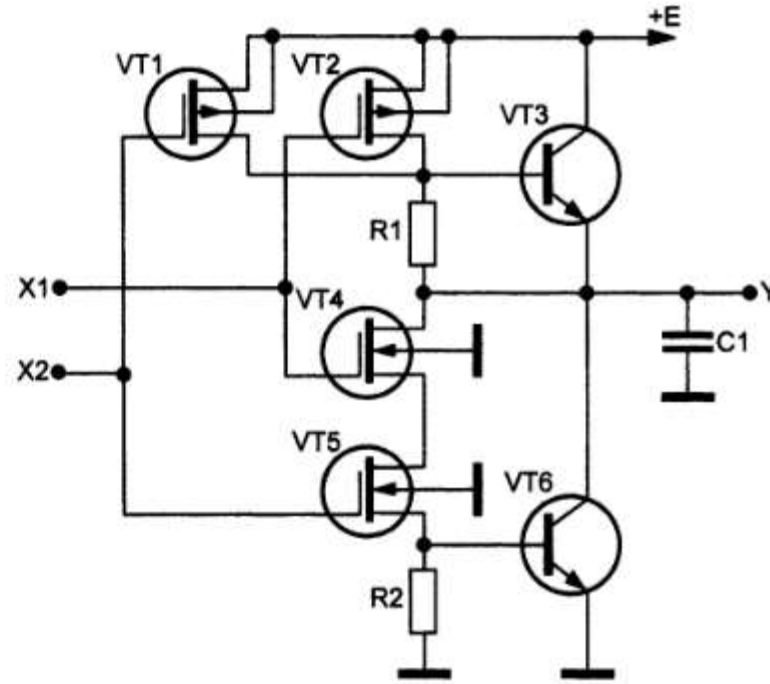
Питание логического элемента и формирователей осуществляется от источников напряжения $4 \pm 0,2$ В и $-2,45 \pm 0,12$ В.

БиКМОП-ЛОГИКА

Интегральные микросхемы на основе SiGe с использованием биполярных и КМОП-транзисторов. Это позволяет создать структуру с высоким входным сопротивлением, низким энергопотреблением, высоким быстродействием и большой нагрузочной способностью.



инвертор



2И-НЕ



Отличие БиКМОП от КМОП заключается в выходном каскаде, обычно состоящим из биполярных pnp-транзисторов. Транзистор VT3 предназначен для заряда емкости нагрузки и формирования выходного напряжения высокого уровня, транзистор VT4 предназначен для разряда емкости нагрузки и формирования выходного напряжения низкого уровня. Для разряда емкости используются резисторы R1 и R2.

Технология позволяет создавать уникальные изделия, имеющие в своём составе цифровые и аналоговые схемы, объединяя достоинства различных типов транзисторов.

ПАРАМЕТРЫ ЦИФРОВЫХ ИНТЕГРАЛЬНЫХ СХЕМ

Семейство микро-схем	Серия	Задержка распространения сигнала, нс	Скорость переключения, МГц	Мощность на вентиль при частоте 1 МГц, мВт	Типовое напряжение питания, В (диапазон)	Год введения
RTL	-	500	4	10	3,3	1963
DTL	-	25	-	10	5	1962
CMOS	АС/АСТ	3	125	0,5	3,3 или 5 (2...6 или 4,5...5,5)	1985
CMOS	НС/НСТ	9	50	0,5	5 (2...6 или 4,5...5,5)	1982
CMOS	4000В/74С	30	5	1,2	10 (3...18)	1970
TTL	-	10	25	10	5 (4,75...5,25)	1964
TTL	L	33	3	1	5 (4,75...5,25)	1964
TTL	H	6	43	22	5 (4,75...5,25)	1964
TTL	S	3	100	19	5 (4,75...5,25)	1969
TTL	LS	10	40	2	5 (4,75...5,25)	1976
TTL	ALS	4	50	1,3	5 (4,5...5,5)	1976
TTL	F	3,5	100	5,4	5 (4,75...5,25)	1979
TTL	AS	2	105	8	5 (4,5...5,5)	1980
TTL	G	1,5	1125	-	1,65...3,60	2004
ECL	ECL III	1	500	60	-5,2 (-5,19...-5,21)	1968
ECL	MECL I	8		31	-5,2	1962
ECL	ECL 10K	2	125	25	-5,2 (-5,19...-5,21)	1971
ECL	ECL 100K	0,75	350	40	-4,5 (-4,2...-5,2)	1981
ECL	ECL 100KH	1	250	25	-5,2 (-4,9...-5,5)	1981

ЦИФРОВЫЕ МИКРОСХЕМЫ СО СЛОЖНОЙ ЛОГИКОЙ

С помощью базовых логических схем (И, ИЛИ, НЕ) можно реализовать самые сложные логические функции. Селекторы, кодеры, декодеры и т.д. входят в состав почти каждого сложного цифрового устройства. Использование отдельно взятого простого логического элемента оправдано лишь в том случае, если для завершения построения логики устройства не хватает буквально одного-двух логических элементов.

Программируемая логическая интегральная схема (ПЛИС – электронный компонент, используемый для создания конфигурируемых цифровых электронных схем. В отличие от обычных цифровых микросхем, логика работы ПЛИС не определяется при изготовлении, а задаётся разработчиком. Для программирования используются программатор и IDE, позволяющие задать желаемую структуру цифрового устройства в виде принципиальной электрической схемы или программы на специальных языках описания аппаратуры: [Verilog](#), [VHDL](#), [AHDL](#) и др.

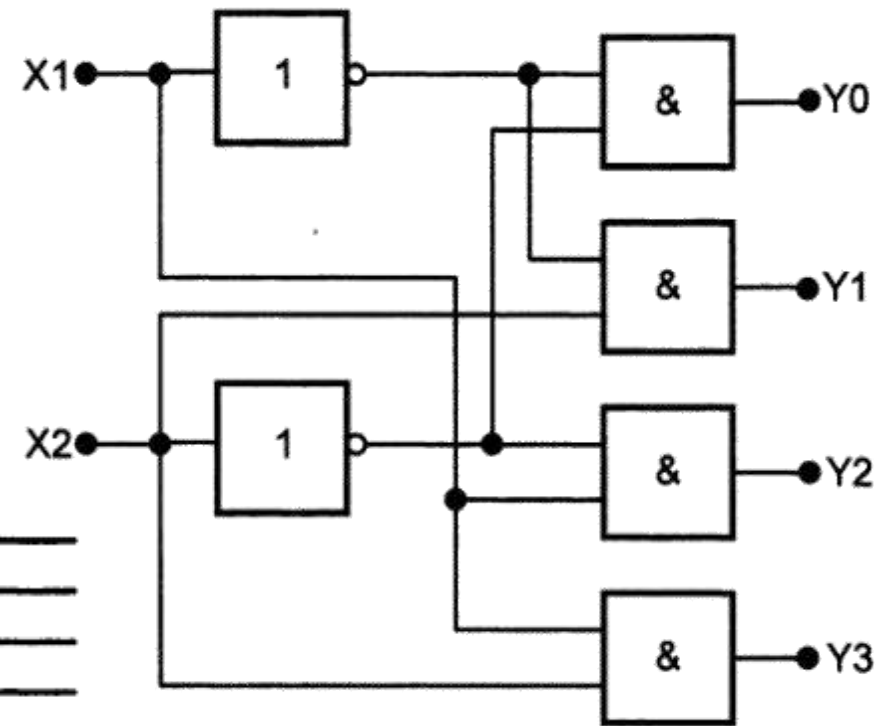
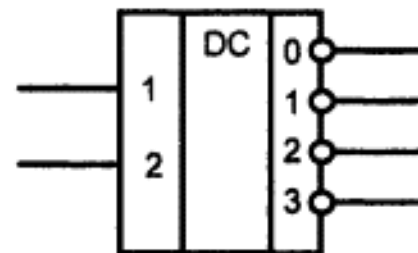
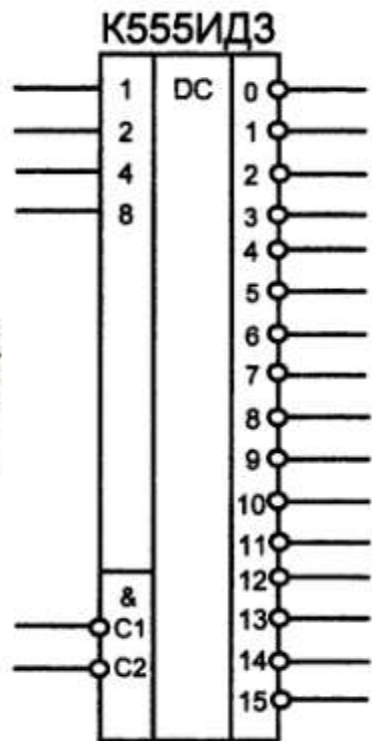


- Преобразователи кода
- Мультиплексоры и демультиплексоры
- Компараторы
- Триггеры
- Сумматоры
- Регистры
- Счётчики

ДЕШИФРАТОР

Функция **дешифраторов** состоит в том, чтобы преобразовывать входной двоичный код в номера линий выходного сигнала.

Дешифратор называют полным, если он имеет количество выходов m , связанных с количеством разрядов n входного двоичного числа соотношением $m = 2^n$. В стандартных сериях микросхем существуют дешифраторы на 4, 8 или 16 выходов, соответственно они имеют 2, 3 или 4 входа.



Простейший двухразрядный дешифратор

Номер входного сигнала	Вход		Выход			
	X1	X0	Y3	Y2	Y1	Y0
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

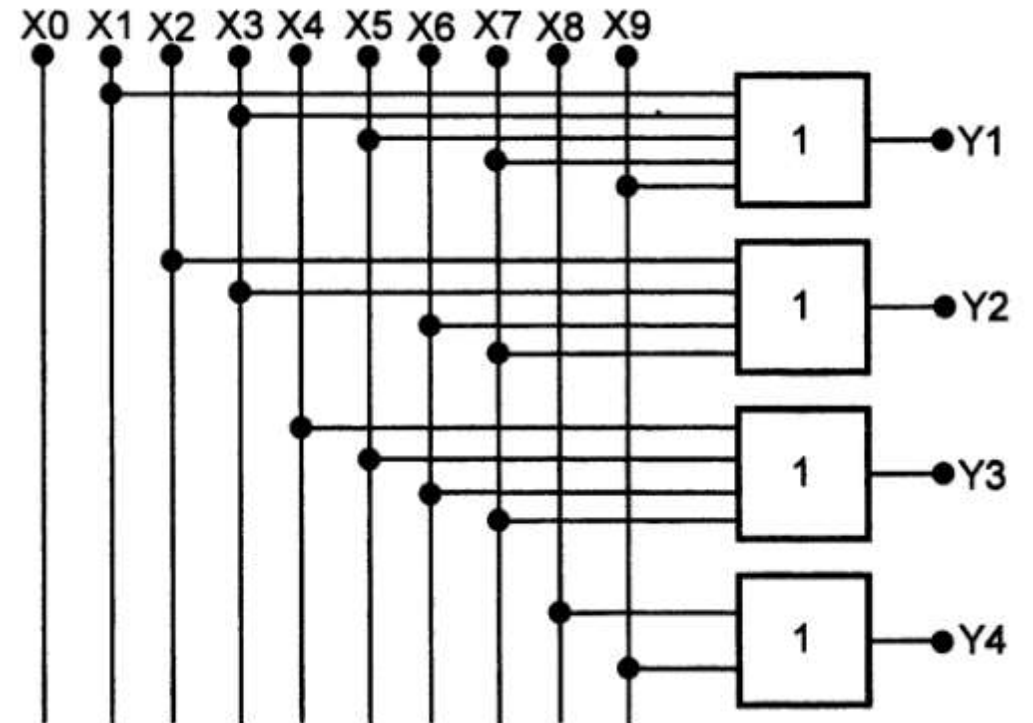
ШИФРАТОР

Преобразователи кода решают задачу преобразования из одной системы кодирования информации в другую.

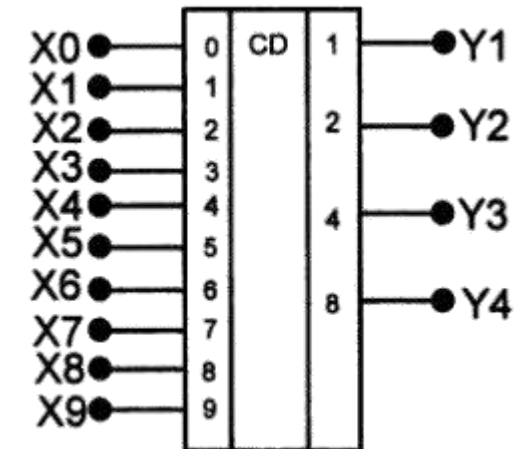
Шифратор (encoder, coder) – цифровое устройство, имеющее n входов и m выходов, преобразующее сигнал с n входных линий в m -разрядный (m -ичный) код.

Шифратор называют полным, если выполняется условие $n = 2m$. Микросхемы шифраторов применяются значительно реже, чем дешифраторы.

Десятичное число	Двоичный код 8 – 4 – 2 – 1			
	Y1	Y2	Y3	Y4
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1



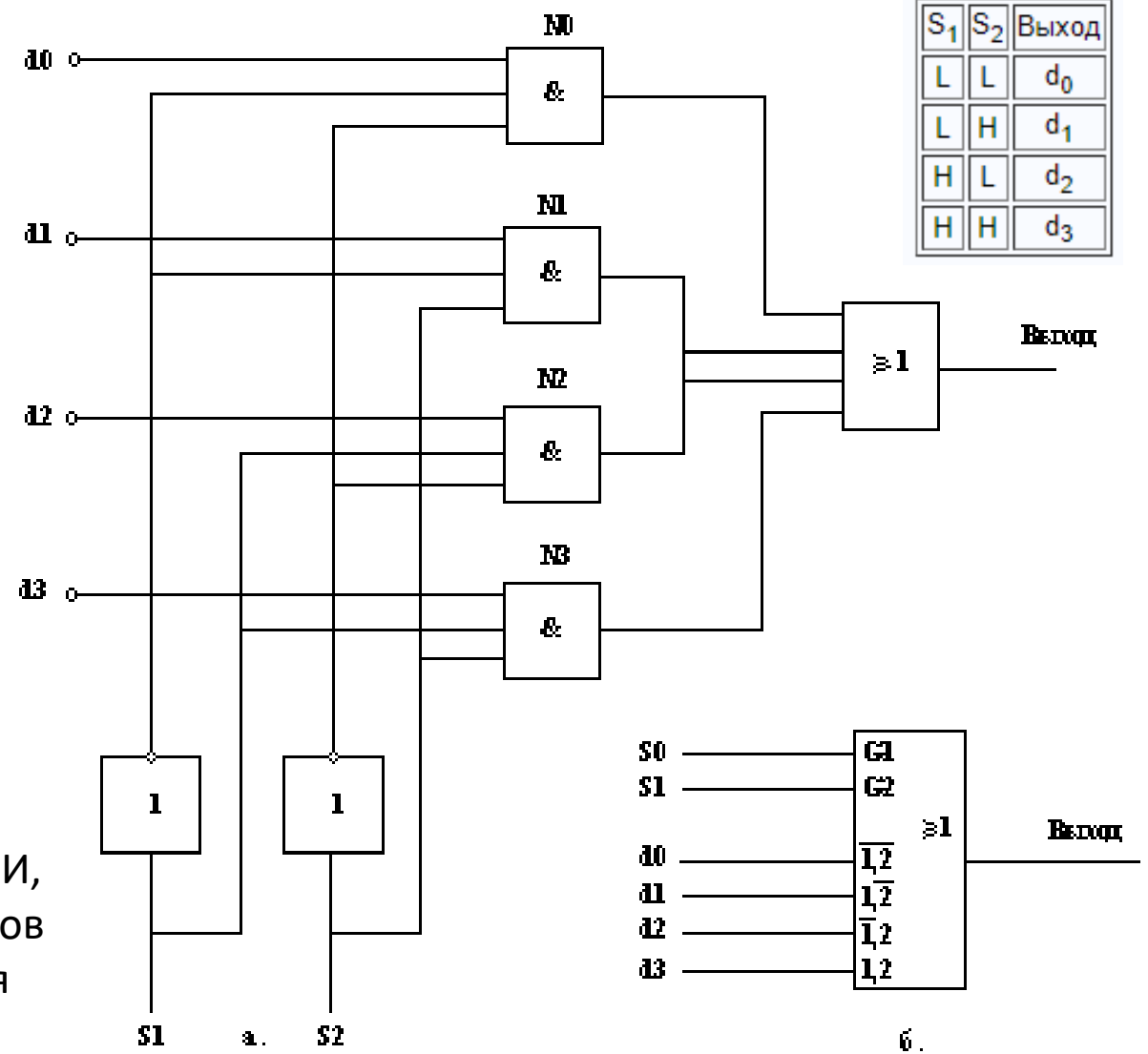
Шифратор для преобразования десятичного кода (для чисел от 0 до 9) в двоичный код.



СЕЛЕКТОР (МУЛЬТИПЛЕКСОР)

Селекторы, они же **мультиплексоры**, есть схемы выбора входов. Используются для связи приемного устройства с различными источниками данных. Определенный вход (источник данных) выбирается путем подачи на адресные линии двоичного числа (адреса), которое указывает, какой именно канал должен быть выбран. В большинстве случаев такая схема снабжается дополнительным стробирующим входом, который разрешает передачу данных в момент времени, когда происходит выборка. Механическим аналогом мультиплексора является многопозиционный переключатель.

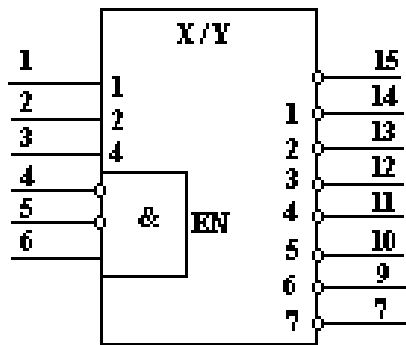
Представленный мультиплексор состоит из четырех схем И, выходы которых связаны со схемой ИЛИ. На один из входов схем И поступают данные. Два других входа используются для выборки. Определенный канал будет выбран в зависимости от того, какой уровень сигнала установлен на селектирующих линиях S_1 и S_2 .



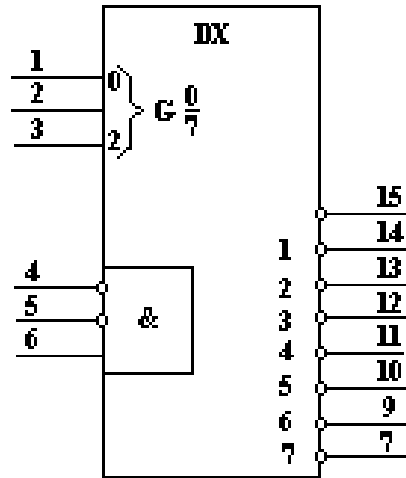
ДЕМУЛЬТИПЛЕКСОР

Демультиплексор – логическое устройство, предназначенное для переключения сигнала с одного информационного входа на один из нескольких информационных выходов.

Номер выхода, на который передается значение входного сигнала, определяется адресным кодом. Поэтому демультиплексор основан на схеме дешифратора и реализуется в одной микросхеме.

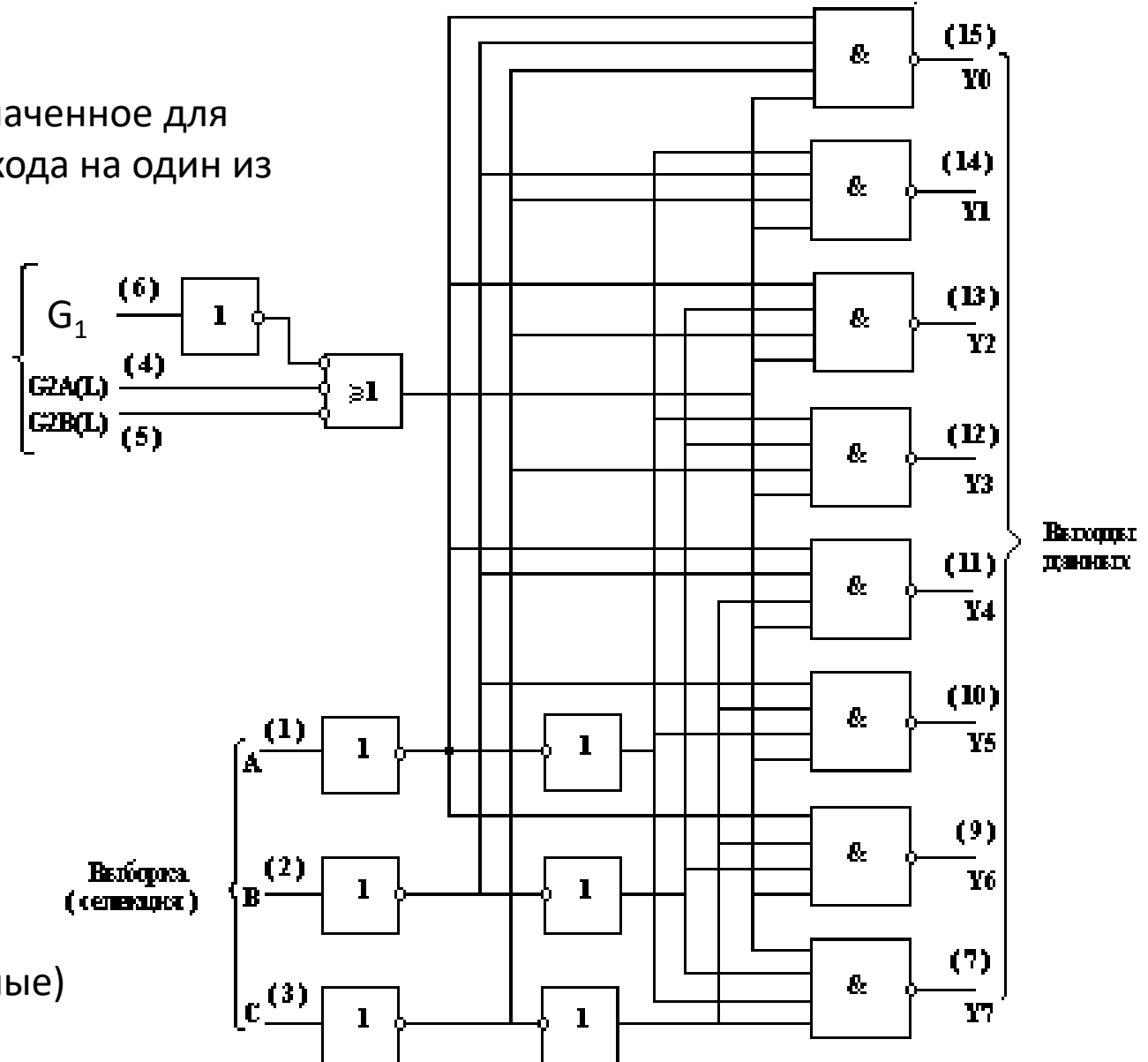


а.



б.

Представленная схема имеет в своем составе комбинированный вход "данные/строб". Вход G_1 (данные) запускается Н-сигналом, входы G_{2A} и G_{2B} – L-сигналами. Вариант (а) – дешифратор, (б) – демультиплексор.



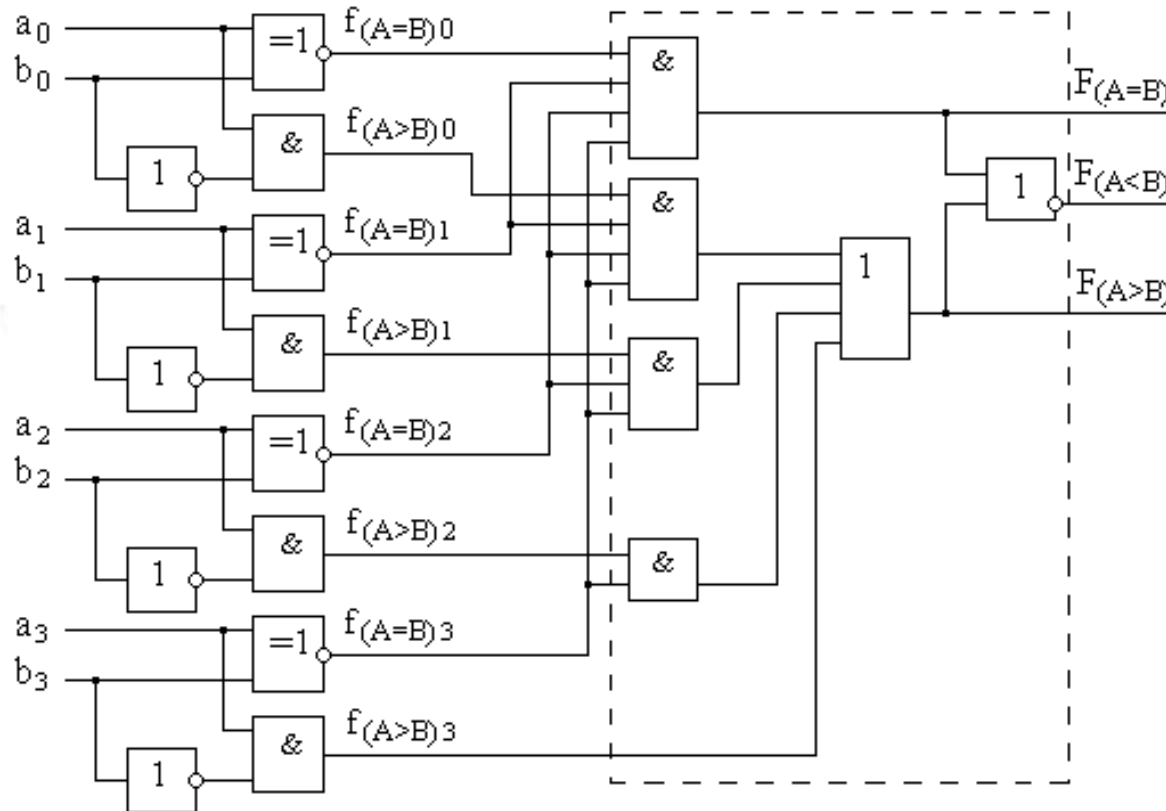
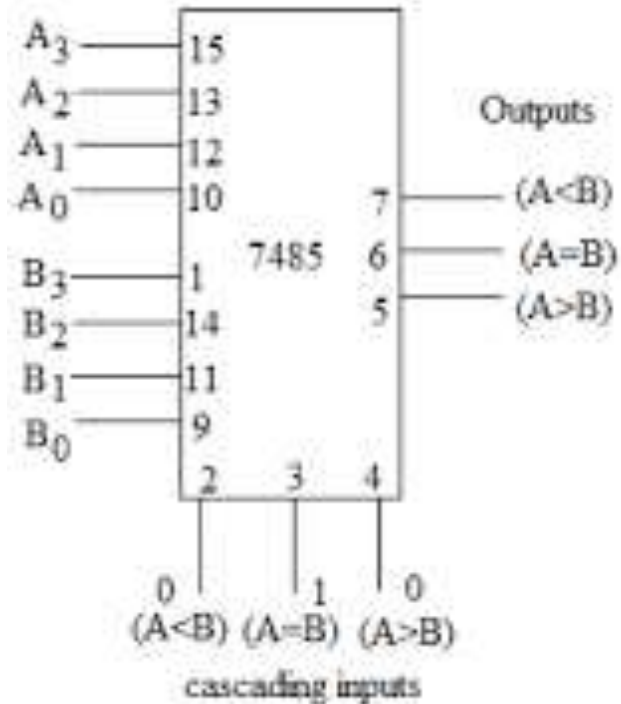
Выборка данных

КОМПАРАТОР



Простейшие **компараторы** формируют на выходе однобитовый сигнал равенства – “1” или неравенства - “0” двух чисел. Более сложные компараторы в случае неравенства определяют, которое из чисел больше.

На схеме представлен 4-битный компаратор. Для сравнения двух 4-разрядных слов требуются четыре схемы равнозначности. На их выходах появится 1 в том случае, когда на все входы поступают пары одинаковых сигналов.



Если все биты в двух словах одинаковы, то на "A=B"-выходе появляется 1. При каскадировании выходы $A > B$, $A = B$ и $A < B$ схемы, сравнивающей младшие разряды, следует присоединить к одноименным входам последующего каскада. Этим способом с помощью двух таких компараторов можно сравнивать два восьмиразрядных слова.

ТРИГГЕРЫ: ОБЩАЯ ИНФОРМАЦИЯ

Триггер (trigger, flip-flop) – это электронное устройство, имеющее два устойчивых состояния, переключение между которыми происходит при помощи входного сигнала. Если на вход триггера не приходят управляющие сигналы, при включенном питании он способен без ограничения по времени сохранять устойчивое состояние. При отключении питания и его последующем включении без принятия специальных мер триггер будет иметь на выходе любое логическое состояние.

Различные типы триггеров содержат бистабильный запоминающий элемент (собственно триггер) и схему управления. Входы, как и сигналы, подаваемые на них, делятся на *информационные* и *вспомогательные*. Информационные сигналы управляют состоянием триггера. Сигналы на вспомогательных входах служат для предварительной установки триггера в заданное состояние и его синхронизации.

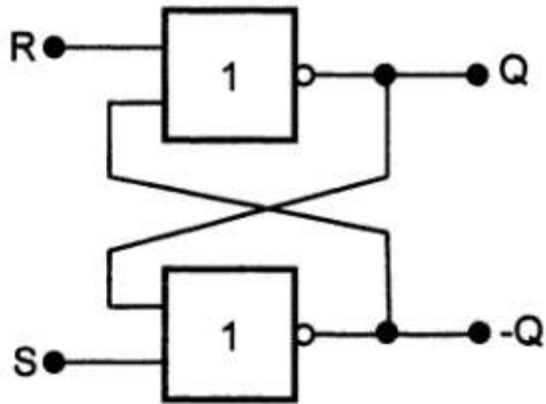
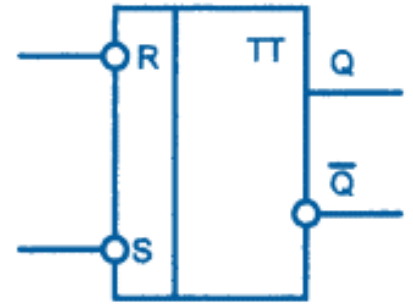
По способу приема информации триггеры подразделяют на *тактируемые* и *нетактируемые* (асинхронные). Изменение состояния нетактируемого (асинхронного) триггера происходит сразу же после соответствующего изменения потенциалов на его управляющих входах. В тактируемом (синхронном) триггере изменение состояния может произойти только в момент присутствия соответствующего сигнала на тактовом входе.

Обозначения входов триггеров разного назначения:

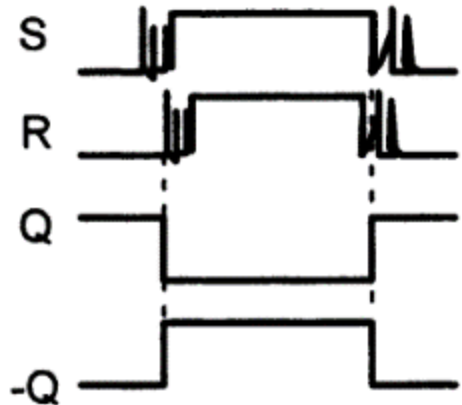
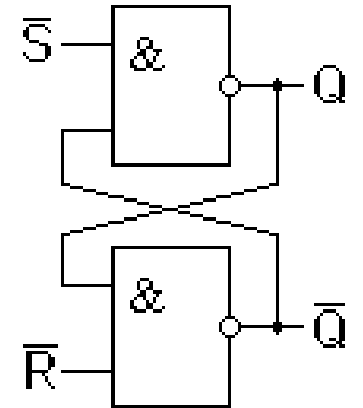
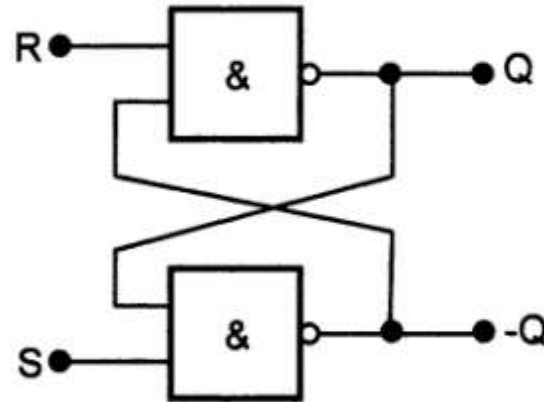
- **S** (Set) или **J** (Jump) — отдельный вход, устанавливающий триггер в единичное состояние на Q-выходе
- **R** (Reset) или **K** (Kill) — отдельный вход, устанавливающий триггер в нулевое состояние на Q-выходе
- **C** (Clock, CLK) — вход синхронизации
- **D** (Data) — информационный вход (на него подается информация для занесения в триггер)
- **T** (Toggle) — счетный вход.

RS-ТРИГГЕР

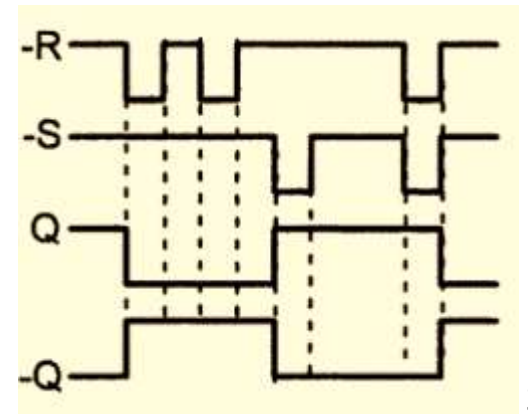
Асинхронный триггер RS-типа имеет два информационных входа R и S. При $S = 0$ и $R = 1$ на выходах триггера появляются сигналы: на прямом выходе $Q = 0$, на инверсном $\bar{Q} = 1$. При $S = 1$ и $R = 0$ выходные сигналы триггера принимают противоположные состояния ($Q = 1, \bar{Q} = 0$). Этот триггер не имеет тактового входа. Простейший RS-триггер можно реализовать на логических элементах ИЛИ-НЕ или И-НЕ.



S	R	Q
0	1	0
0	0	0
1	0	1
0	0	1
1	1	X

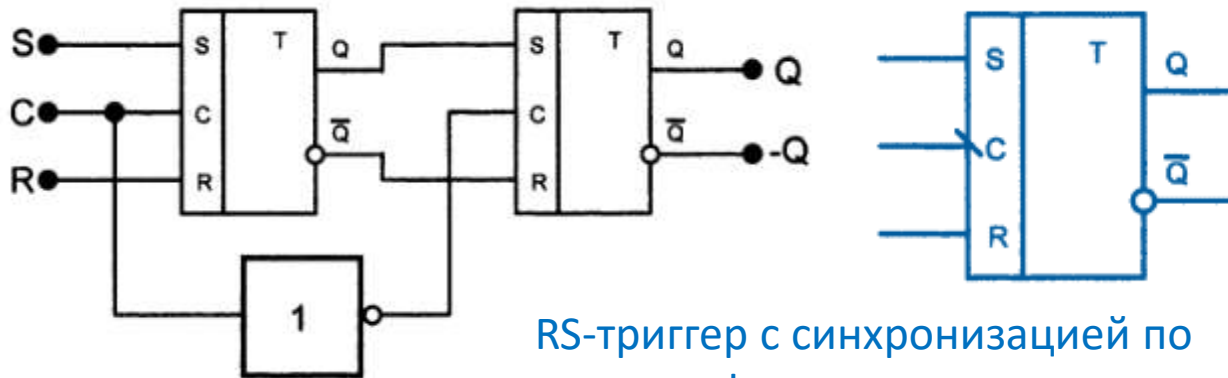


RS-триггеры используют в основном для устранения влияния дребезга контактов при переключении механических коммутаторов. Первый импульс, поступивший на вход R триггера при нажатии на некую кнопку, переключает его выход в состояние логического 0, а первый импульс на входе S переключает выход триггера в состояние 1. Все остальные сигналы, обусловленные дребезгом контактов, не влияют на триггер.

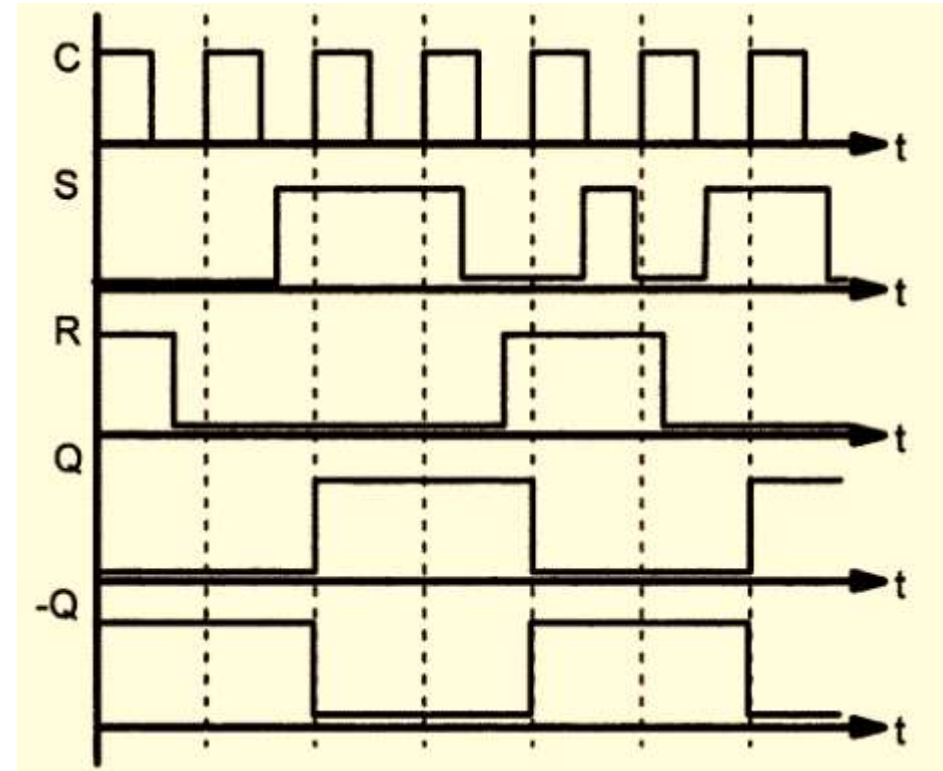
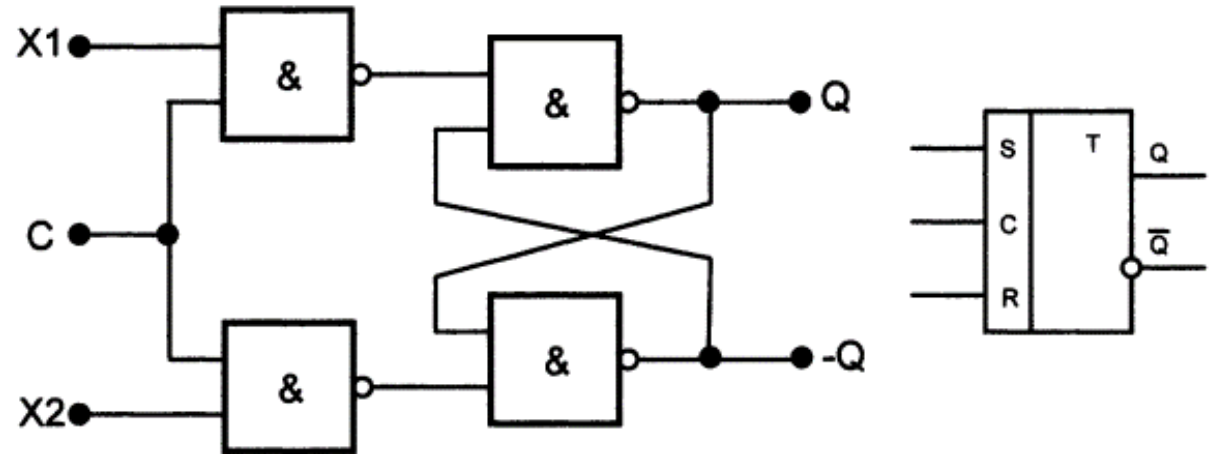


СИНХРОННЫЙ RS-ТРИГГЕР

Синхронный одноступенчатый RS-триггер отличается от асинхронного наличием C-входа для синхронизирующих тактовых импульсов. Синхронный триггер состоит из асинхронного RS-триггера и двух логических элементов ("схема управления") на его входе. Если на входе синхронизации C присутствует логический ноль, RS-триггер находится в режиме "хранение" и не реагирует на входные сигналы. При подаче на вход синхронизации C логической единицы триггер переходит в режим записи.

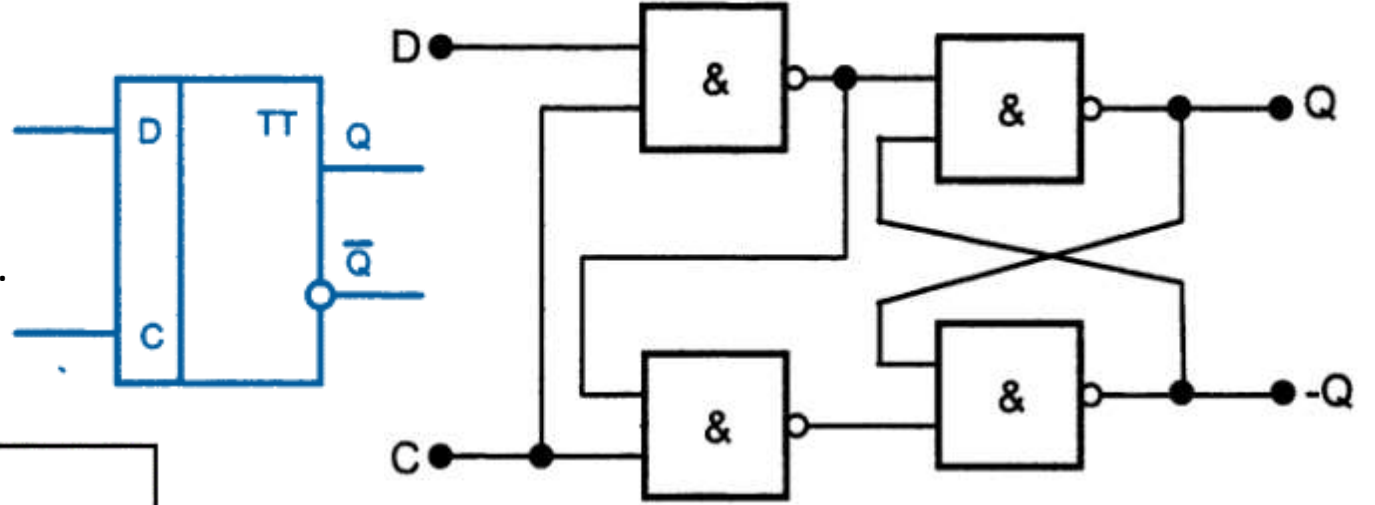


RS-триггер с синхронизацией по заднему фронту импульсов



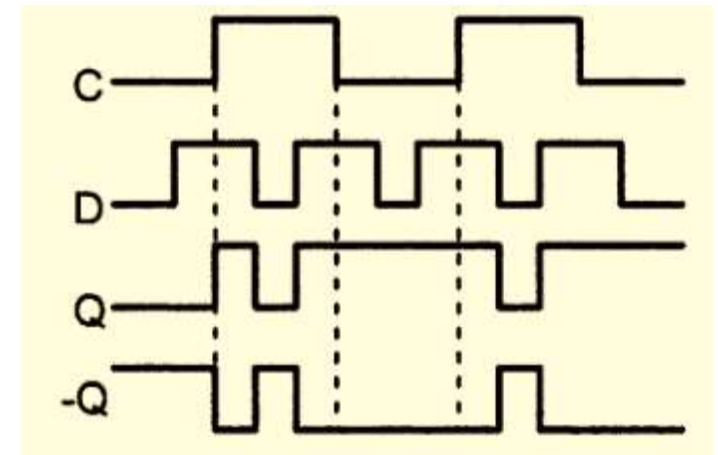
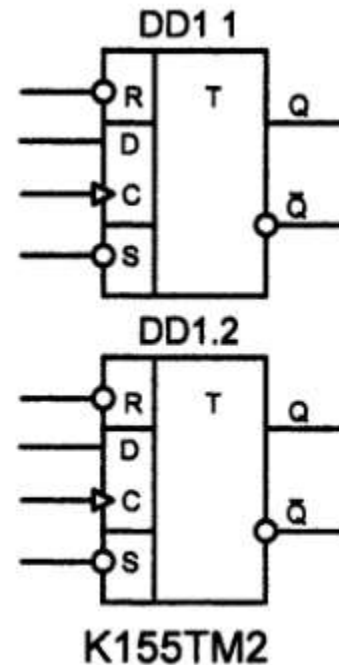
D-ТРИГГЕР

D-триггер – триггер задержки или информационный триггер, при разрешающем сигнале на тактовом входе устанавливается в состояние, соответствующее значению на входе D. D-триггер имеет два входа: C — синхронизации (Clock) и D – информационный (Data).



Входы		Выходы	
C	D	Q_t	Q_{t+1}
0	0	0	0
	0	1	1
	1	0	0
	1	1	1
1	0	0	0
	0	1	0
	1	0	1
	1	1	1

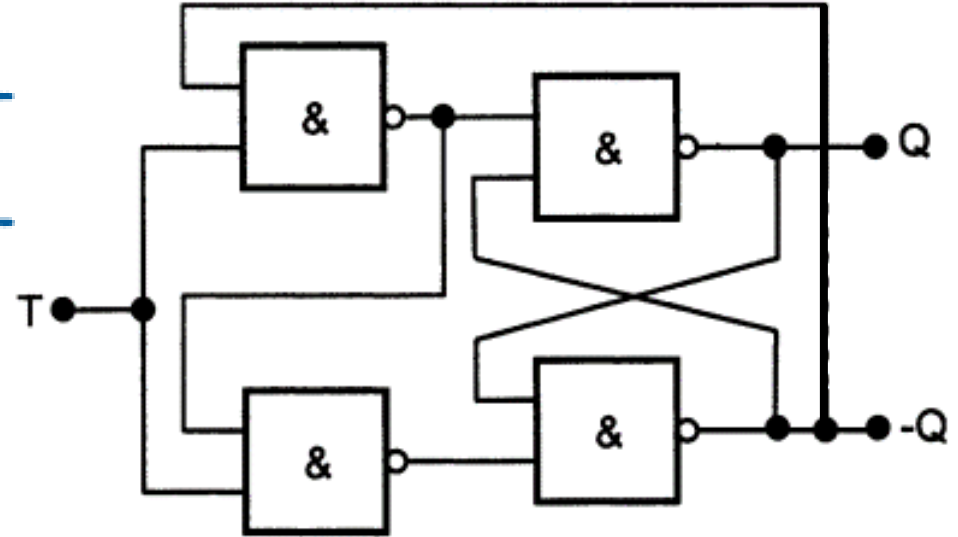
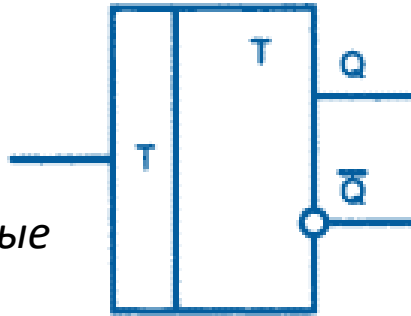
В тактируемом *фронтом* D-триггере изменение потенциала на входе D, синхронное с тактовыми импульсами, повторяется на выходе Q с задержкой на один период тактовых импульсов (отсюда и название-триггер задержки).



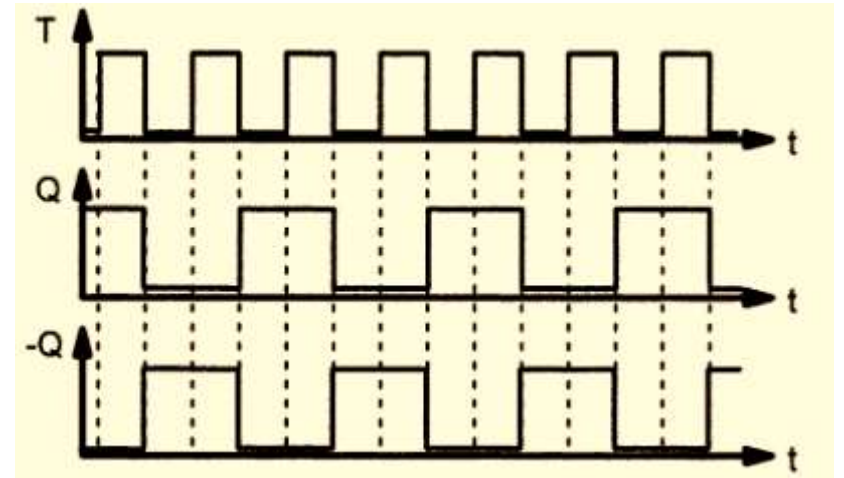
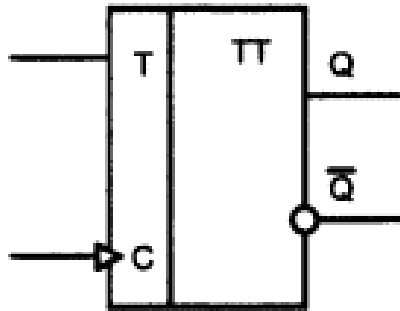
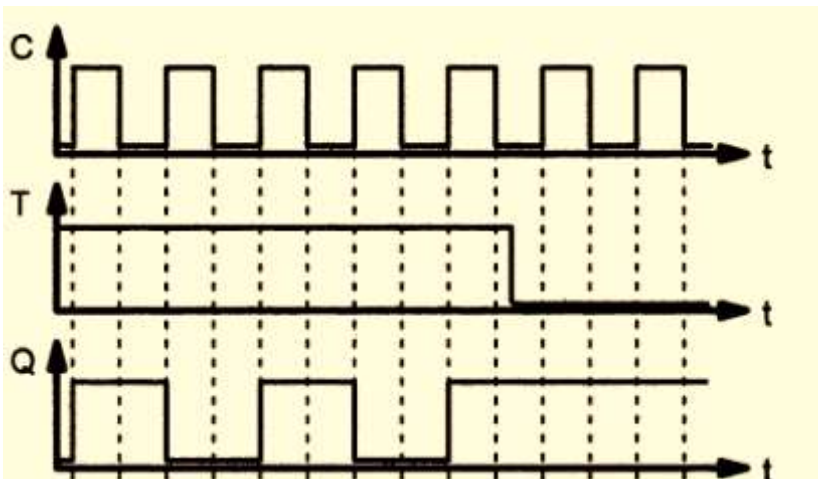
здесь тактирование уровнем

T-ТРИГГЕР

T-триггеры или счетные триггеры используют для деления частоты (в двоичных счетчиках). Бывают тактируемые (имеют входы T и C) либо *асинхронные* (имеют единственный вход T - Toggle). При поступлении импульса на этот вход T-триггер переключается, при поступлении следующего импульса — возвращается в исходное состояние.

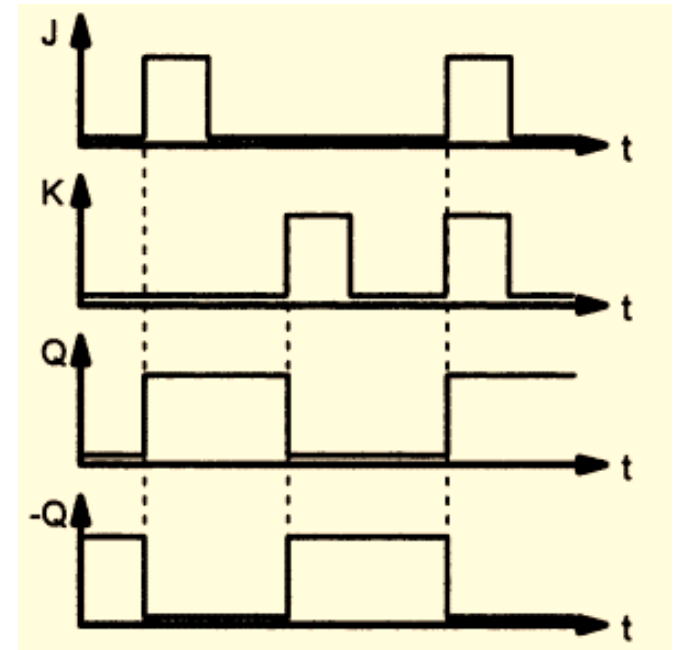
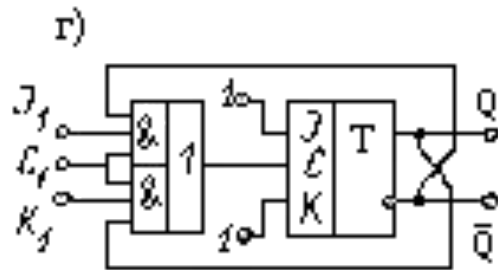
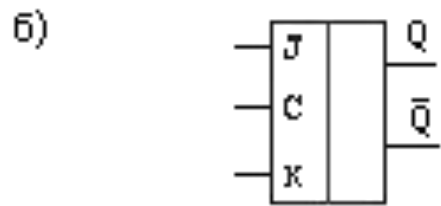
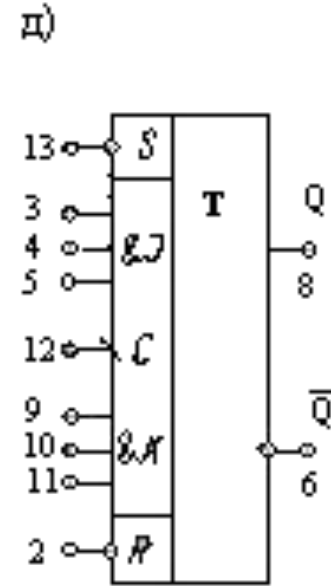
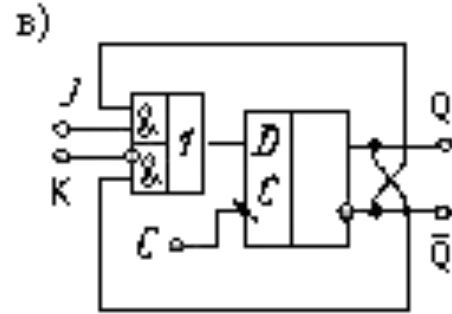
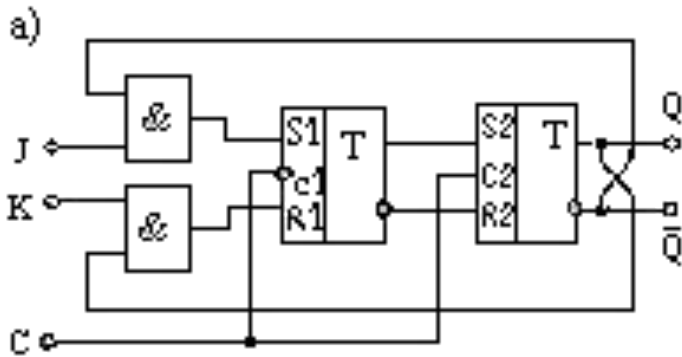
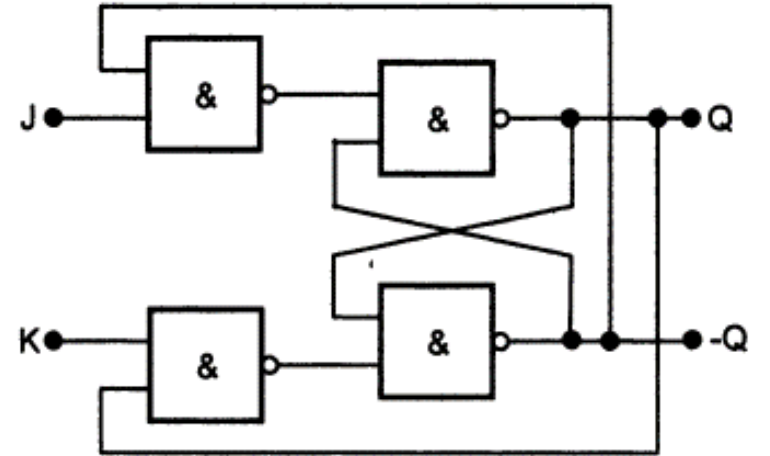


Синхронный T-триггер при логической единице на входе T по каждому такту на входе C изменяет свое логическое состояние на противоположное и не изменяет выходное состояние при логическом нуле на входе T. T-триггеры бывают только тактируемые фронтом.



JK-ТРИГГЕР

JK-триггер имеет два управляющих входа J (jump) и K (kill) – это входы установки триггера в единицу и ноль. В отличие от RS-триггера, в JK-триггере наличие двух единичных управляющих сигналов ($J=K=1$) приводит к переходу триггера в противоположное состояние, т. е. JK-триггер работает как T-триггер. JK-триггеры тактируются только перепадом потенциала на тактовом входе.



JK-ТРИГГЕР КАК БАЗОВЫЙ ЭЛЕМЕНТ

Из JK-триггера, соединив определенные выводы, можно получить любой иной вид триггера. В отличие от RS-триггера, JK-триггер не имеет запрещенных комбинаций входных сигналов.

Входы					Выходы	
-S	-R	C	J	K	Q	-Q
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	H*	
1	1	1→0	1	0	1	0
1	1	1→0	0	1	0	1
1	1	1→0	0	0	Не изменяется	
1	1	1→0	1	1	Меняется на противоположное	
1	1	1	X	X	Не изменяется	
1	1	0	X	X	Не изменяется	
1	1	0→1	X	X	Не изменяется	

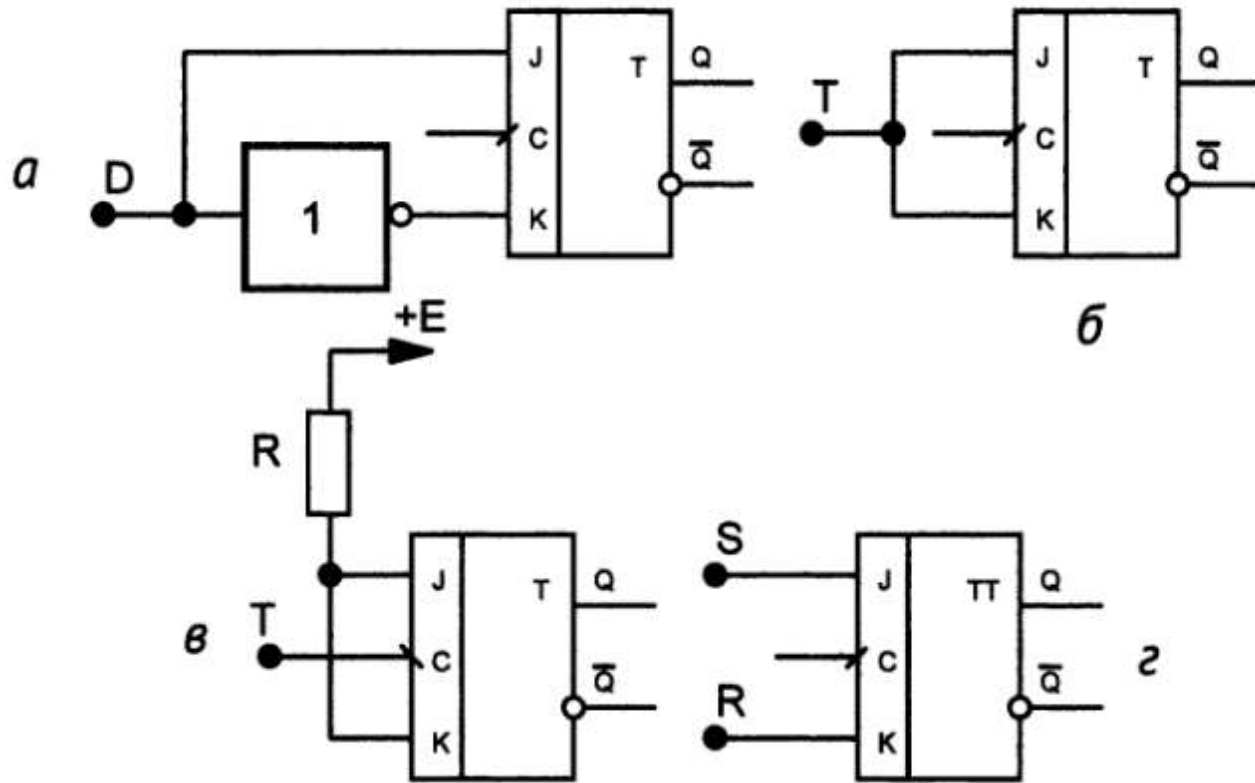
X - безразличное состояние; H* - неустойчивое состояние

При наличии на J и K-входах уровня 1 по каждому тактовому сигналу, поступающему на вход C, триггер изменяет свое состояние, т. е. работает как счетный T-триггер. При любых других комбинациях на входах J и K он работает как RS-триггер (вход J соответствует входу S, а вход K — входу R), а при определенном постоянном сигнале на одном из этих входов — как D-триггер.

J	K	Q	Режим работы
0	0	Q	Хранение
1	0	1	Установка в 1
0	1	0	Сброс в 0
1	1	-Q	Счет

JK-ТРИГГЕР КАК БАЗОВЫЙ ЭЛЕМЕНТ

Из JK-триггера несложно получить другие виды триггеров:



- а) D-триггер;
- б) синхронный T-триггер;
- в) асинхронный T-триггер;
- г) RS-триггер.

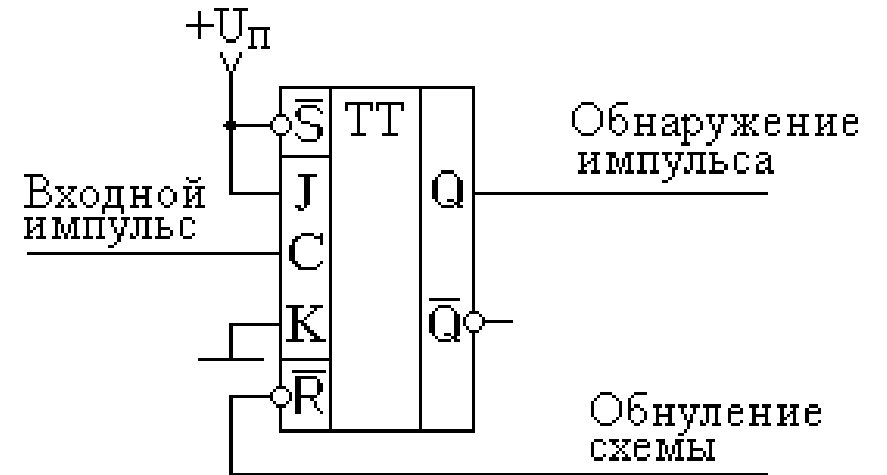


Схема обнаружения короткого импульса на JK-триггере

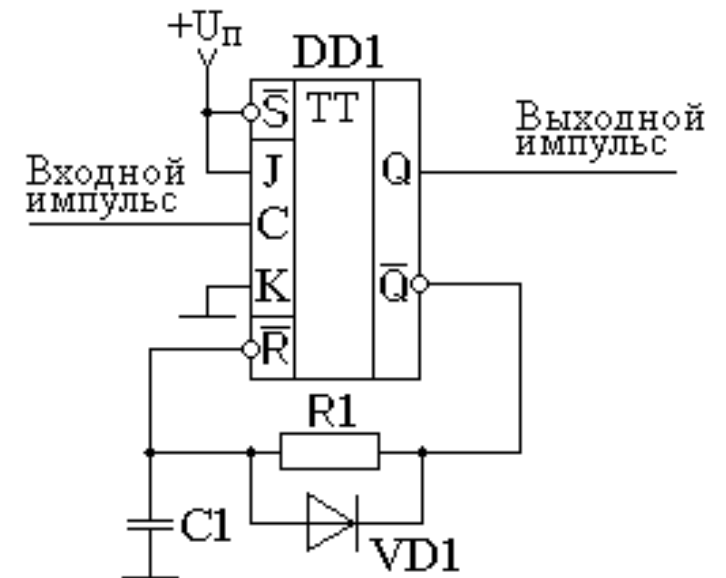
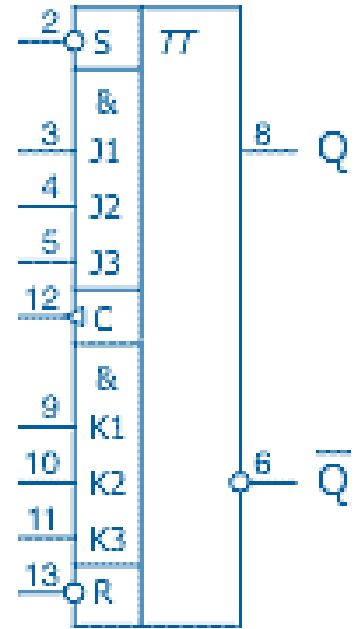
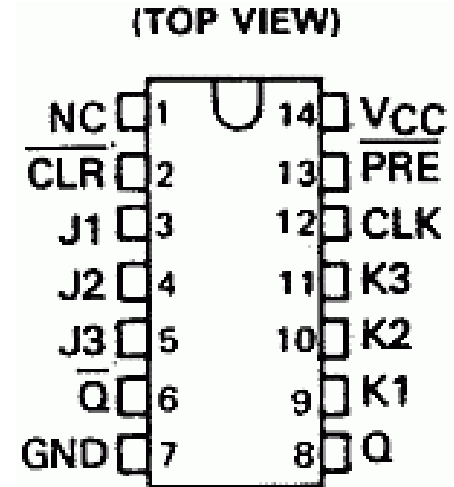
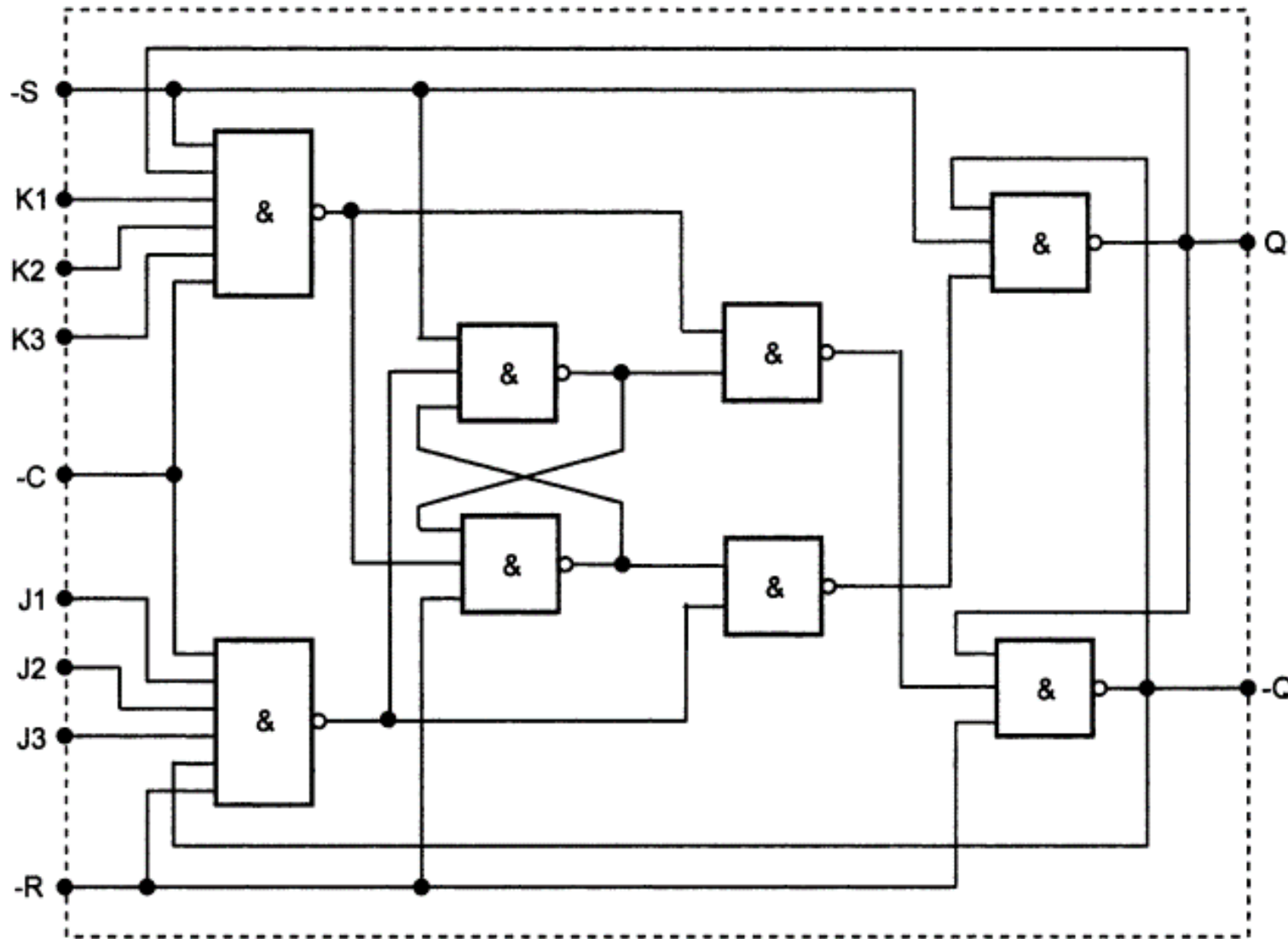


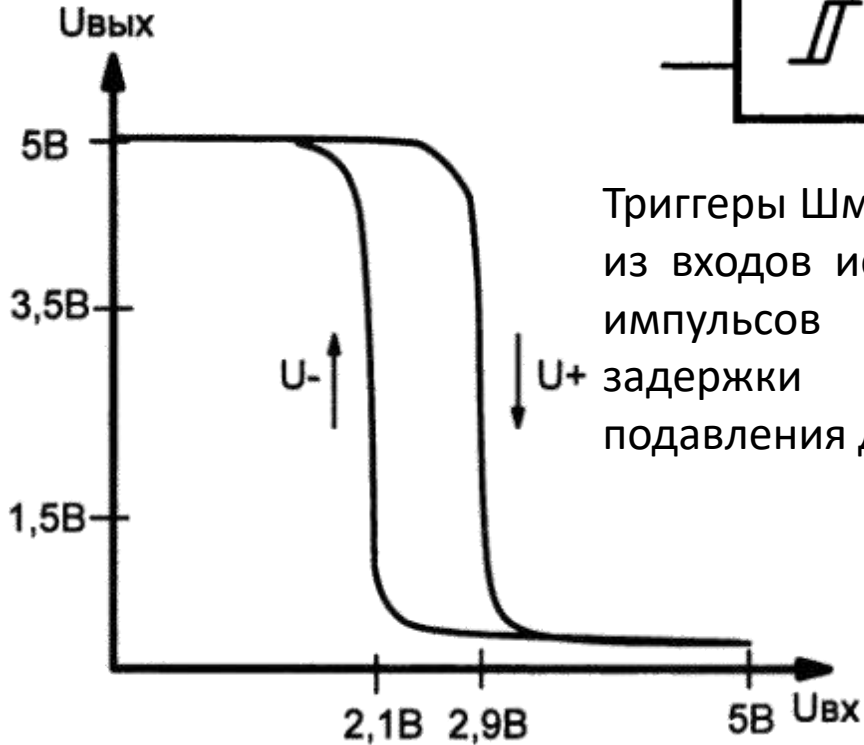
Схема ждущего мультивибратора

JK-ТРИГГЕР SN7472 (К155ТБ2)



Триггер построен по двухступенчатой схеме и имеет сложную входную логику, где три входа J и три входа K объединены по схеме логического И. Кроме того, триггер имеет прямой и инверсный выходы, входы установки и сброса (S и R) и вход тактовых импульсов C.

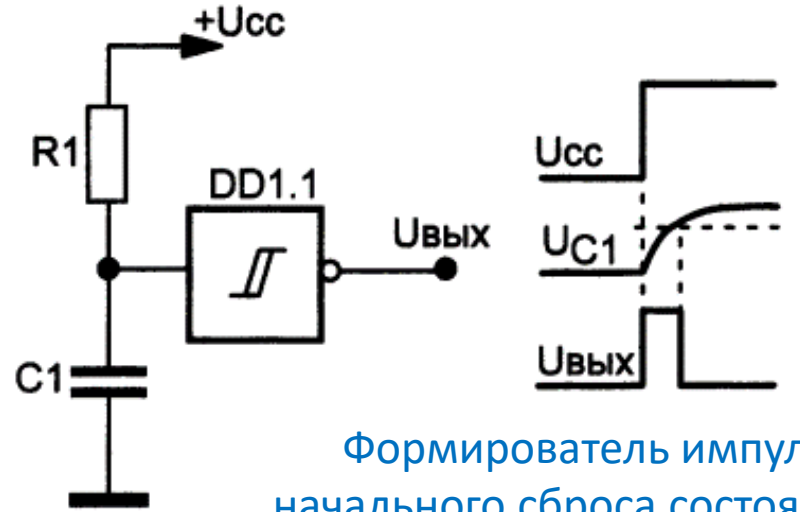
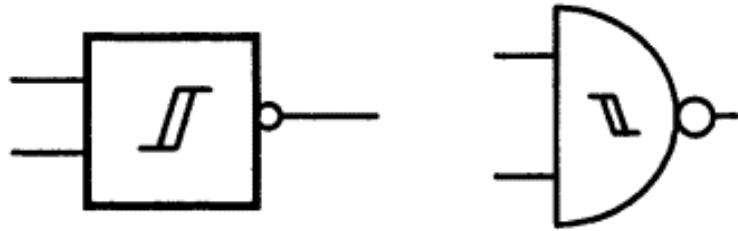
ТРИГГЕР ШМИТТА



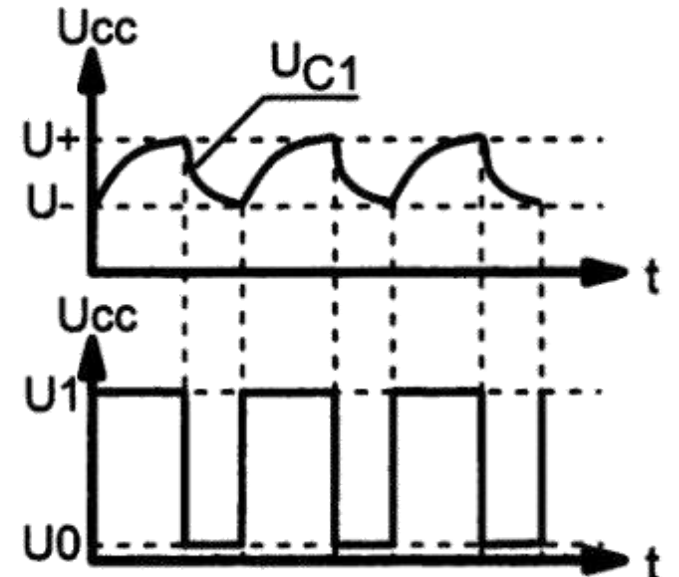
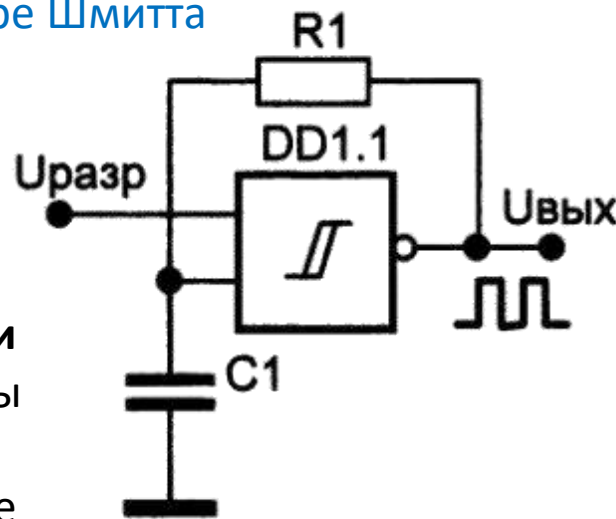
Триггеры Шмитта с RC-задержкой на одном из входов используют для формирования импульсов регулируемой длительности, задержки прохождения импульсов, подавления дребезга контактов и т. д.

Генератор прямоугольных импульсов на триггере Шмитта

Наличие петли гистерезиса при переключении триггера Шмитта приводит к тому, что любые помехи цифрового сигнала с амплитудой, меньшей величины $U_{\text{вкл}} - U_{\text{откл}} = 800 \text{ мВ}$, отсекаются, а любые фронты и спады (даже самые пологие) преобразуются в крутые фронты и спады выходного сигнала.



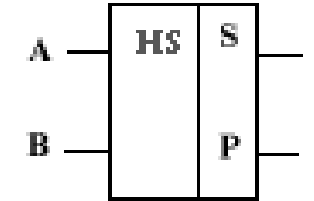
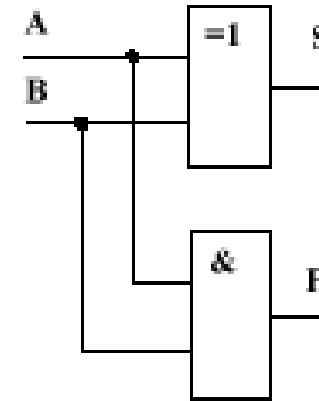
Формирователь импульса начального сброса состояния микросхем при включении питания



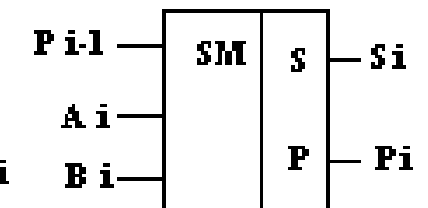
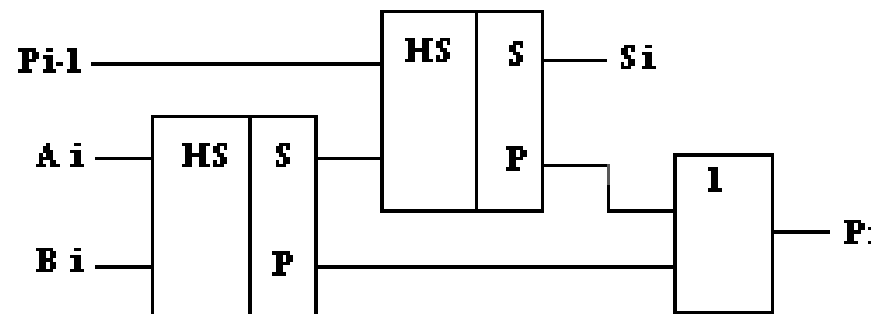
СУММАТОРЫ

Простейшей арифметической операцией в интегральной логике является сложение двух одnorазрядных чисел, принимающих два возможных значения: 0 и 1. Эта операция выполняется в устройстве, называемом **полусумматором**.

На выходе S элемента "исключающее ИЛИ" получается "сумма по модулю 2", равная нулю, когда $A = B = 0$, а также когда $A = B = 1$. При $A = 1$ и $B = 0$ или $A = 0$ и $B = 1$ значение $S = 1$. Выход P называется "переносом в следующий разряд". Если $A = B = 1$, то перенос $P = 1$, во всех остальных случаях $P = 0$.



При сложении двух многоразрядных двоичных чисел только в младшем разряде складываются два числа. В остальных разрядах складываются три числа: два слагаемых и перенос из суммы чисел предыдущего разряда. Эти функции реализует **полный сумматор**, состоящий из двух полусумматоров и элемента ИЛИ.

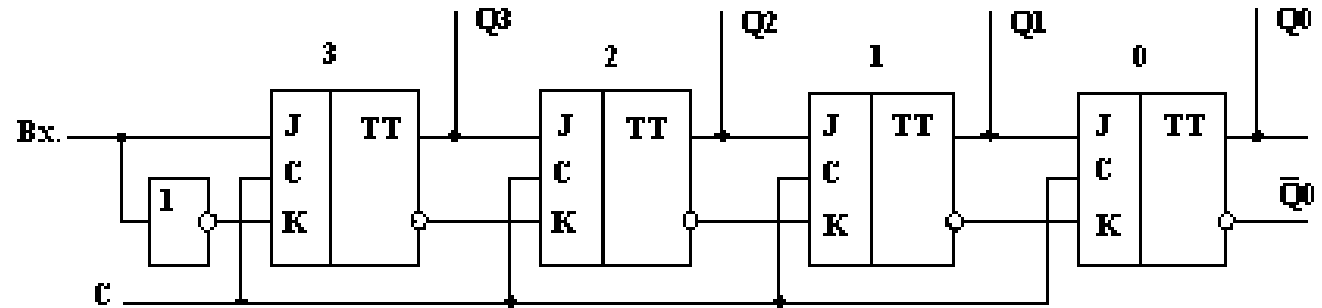


РЕГИСТРЫ

Регистры различаются:

- По способу приёма и передачи данных:
 - Параллельные (статические)
 - Последовательные (регистры сдвига)
 - Последовательно-параллельные
- По способу преобразования данных:
 - Сдвиговые
 - С преобразованием параллельного кода в последовательный и наоборот
 - С поразрядным логическим умножением (сложением)
 - Последовательного приближения
- По управлению записью данных
 - Асинхронные
 - Синхронные

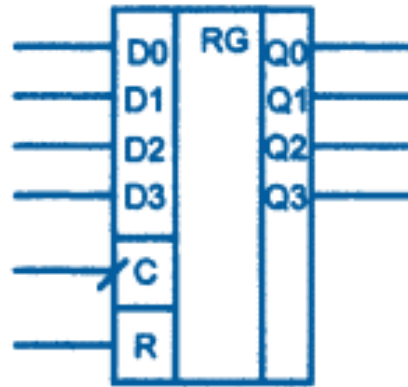
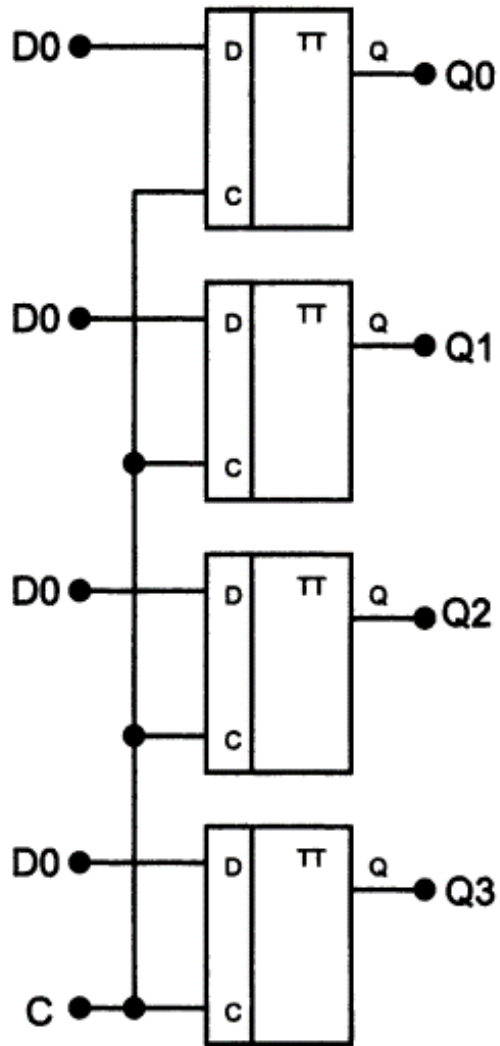
Регистр сдвига



Регистром сдвига называют цифровую схему, состоящую из последовательно включенных триггеров, содержимое которых можно сдвигать на один разряд влево или вправо подачей тактовых импульсов (предполагается срабатывание по фронту). Регистры сдвига широко применяются для преобразования последовательного кода в параллельный или параллельного в последовательный, а также при построении арифметико-логических устройств. Если 0 и 1 в регистре трактовать как двоичную запись числа, то сдвиг в одну сторону соответствует делению на 2, а в другую - умножению на 2.

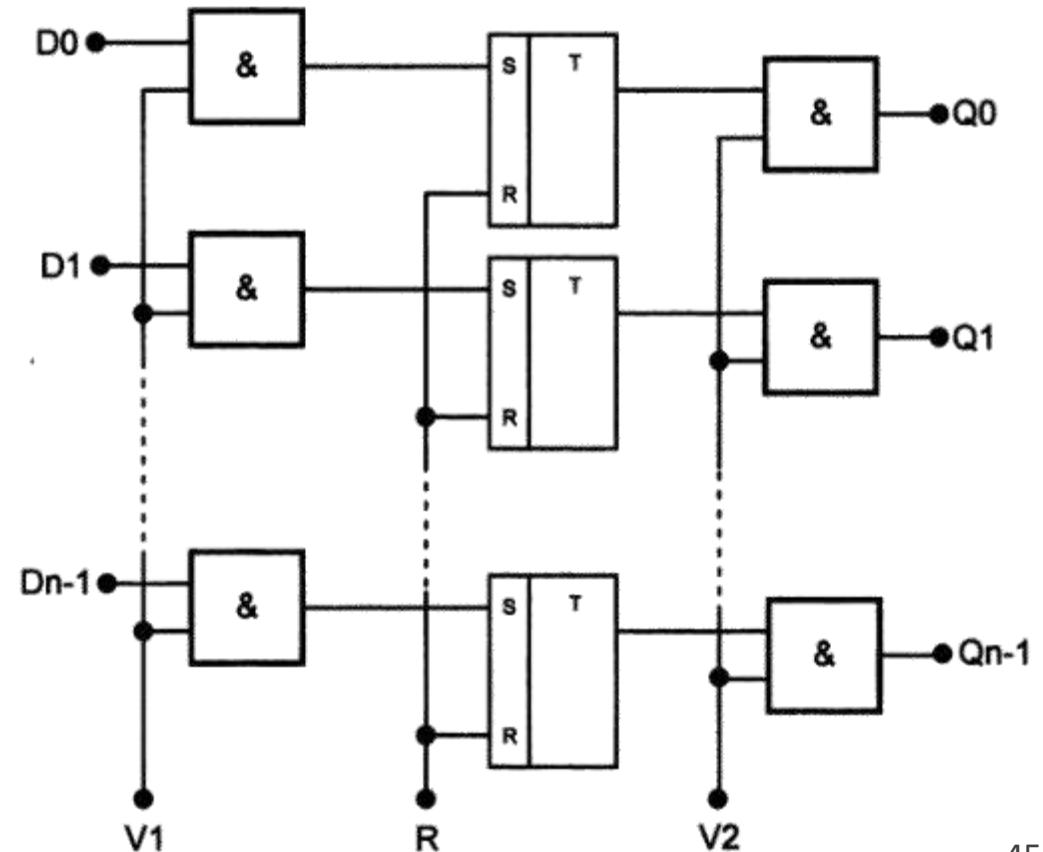
ПАРАЛЛЕЛЬНЫЙ РЕГИСТР

В параллельном регистре имеется общий тактовый вход C, причем все триггеры соединены параллельно и каждый из них имеет отдельный вход D и отдельный выход Q, которые независимы от других триггеров.

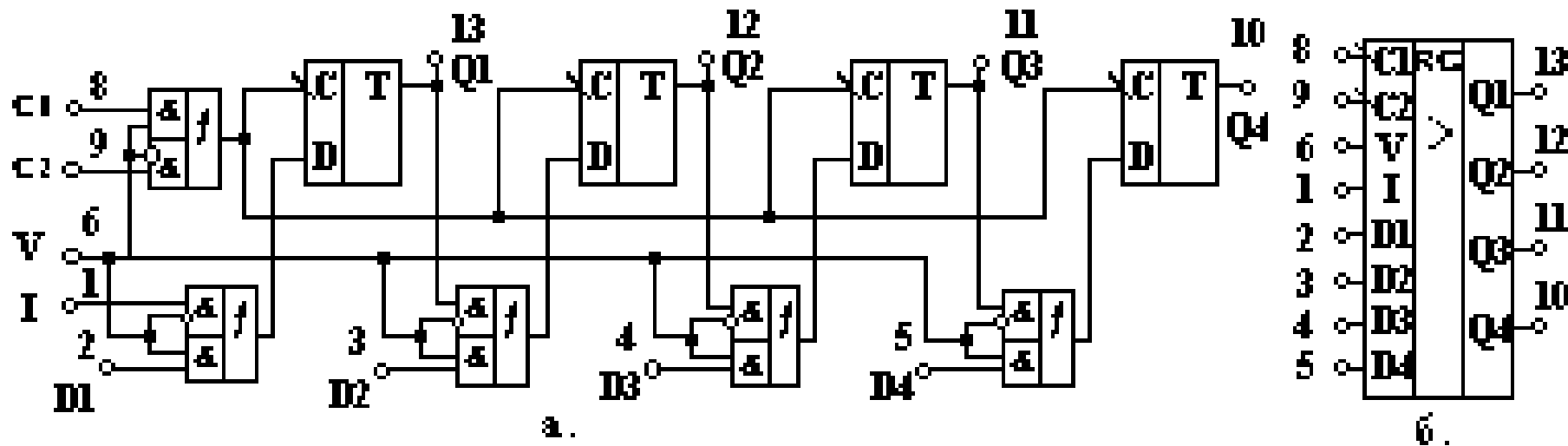


Запись в асинхронный регистр производится подачей разрядов данных D_0-D_{n-1} на S-входы асинхронной установки триггеров по сигналу разрешения приема V_1 . Выдача данных на выходы Q производится по сигналу V_2 . Обнуление регистра производится по сигналу R.

Параллельный регистр с асинхронным управлением записью



РЕАЛИЗАЦИЯ РЕГИСТРА СДВИГА

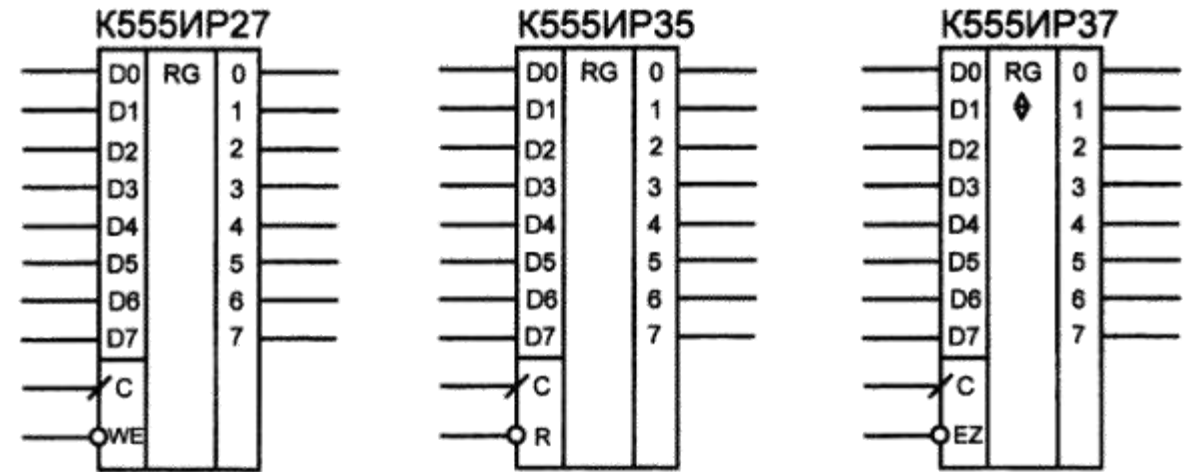


Микросхема [K155IP1](#) содержит четыре тактируемых фронтом D-триггера, соединенных последовательно с помощью ячеек И-ИЛИ.

- Если на вход V (ножка 6) регистра подан потенциал "нуль", то выход каждого предыдущего триггера, начиная со входа I (ножка 1) оказывается соединенным через ячейку И-ИЛИ со входом D последующего. При этом импульсы, приходящие на тактовый вход C_2 , будут каждый раз устанавливать последующий триггер в состояние, в котором до этого находился предыдущий. Таким образом осуществляется сдвиг информации вправо. Соответствующий параллельный код снимается с выходов Q_1 - Q_4 .
- Запись параллельного кода идет по входам D_1 - D_4 при подаче логической единицы на вход V и тактового импульса на вход C_1 . Устанавливая затем $V=0$ и подавая тактовые импульсы на вход C_2 , обеспечивается сдвиг записанного кода. При этом с выхода Q_4 последнего триггера снимается последовательный выходной код.

РАЗНЫЕ РЕГИСТРЫ

- Регистры с тремя состояниями имеют дополнительный управляющий вход EZ, позволяющий перевести микросхему регистра в неактивное состояние.
- Регистры FIFO ("первый на входе-первый на выходе", или регистры прямого кода). Поступающая информация вводится в сдвиговый регистр прямого кода FIFO, после чего в требуемом темпе (под управлением контроллера последовательного интерфейса) выводится в виде последовательности битов на линию связи.
- Регистры LIFO стекового типа с обратным порядком обработки информации ("последний на входе - первый на выходе"). Регистры такого типа называются стеками, которые, как и регистры FIFO, выдают сигналы-индикаторы состояния.



Регистры, работающие по уровню синхросигнала, являются гибридом между буфером и регистром (**регистры-защелки**, *Latch*-регистры). Когда на стробирующем входе логическая 1, сигнал поступает с входов на выходы регистра. Когда на стробирующем входе низкий уровень сигнала, регистр переходит в режим хранения последнего из значений входного сигнала.

СЧЁТЧИКИ

Счетчик - устройство, производящее подсчет числа импульсов, поступивших на его вход. Счетчики импульсов построены из триггеров. Счетчики одновременно являются и делителями частоты в 2^n раз, где n - число разрядов (триггеров).

Максимальное количество импульсов N , которое может зарегистрировать счетчик без его переполнения, для двоичных счетчиков равно $N = 2^n$, n — число разрядов счетчика. Это число называют модулем счета. В случае переполнения счетчика ($N > 2^n$) счетчик обнуляется, а счет циклически возобновляется.

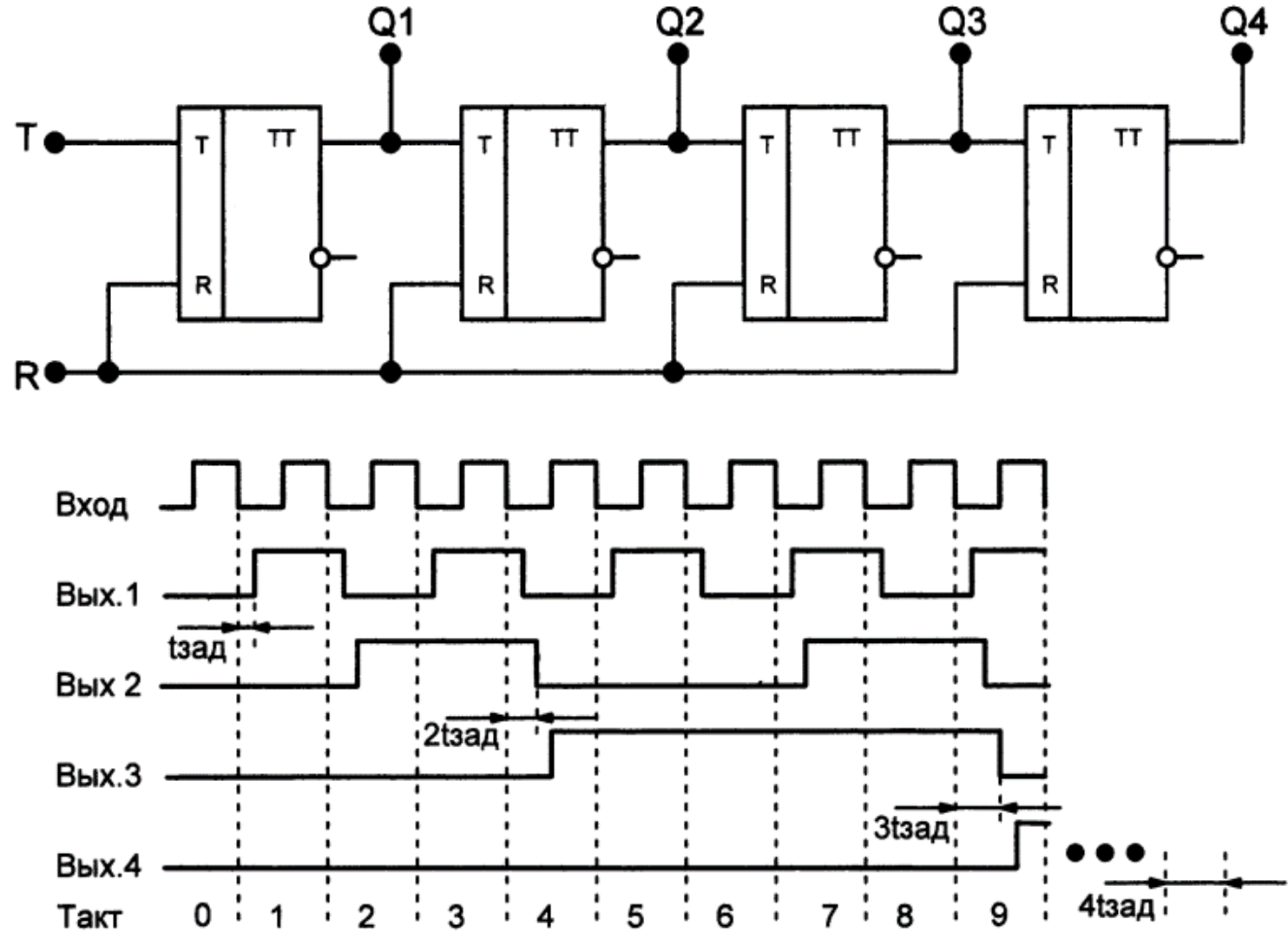
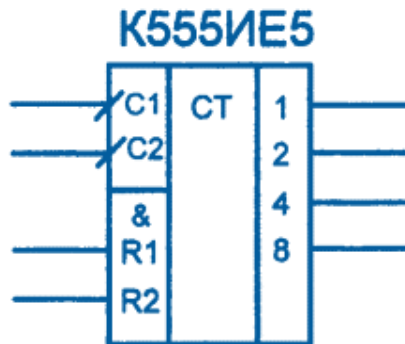
Простейшие счетчики импульсов состоят из цепочки последовательно включенных Т-триггеров, каждый из которых делит частоту входного сигнала на два. Каждый из триггеров этой цепочки называют разрядом счетчика.

Счетчики различаются:

- По принципу действия:
 - Суммирующие
 - Вычитающие
 - Реверсивные
- По управлению записью данных:
 - Асинхронные
 - Синхронные с асинхронным переносом
 - Синхронные
- Для выполнения специальных операций:
 - двоично-десятичные счётчики
 - цифровые частотомеры
 - кольцевые счётчики
 - счётчики Джонсона

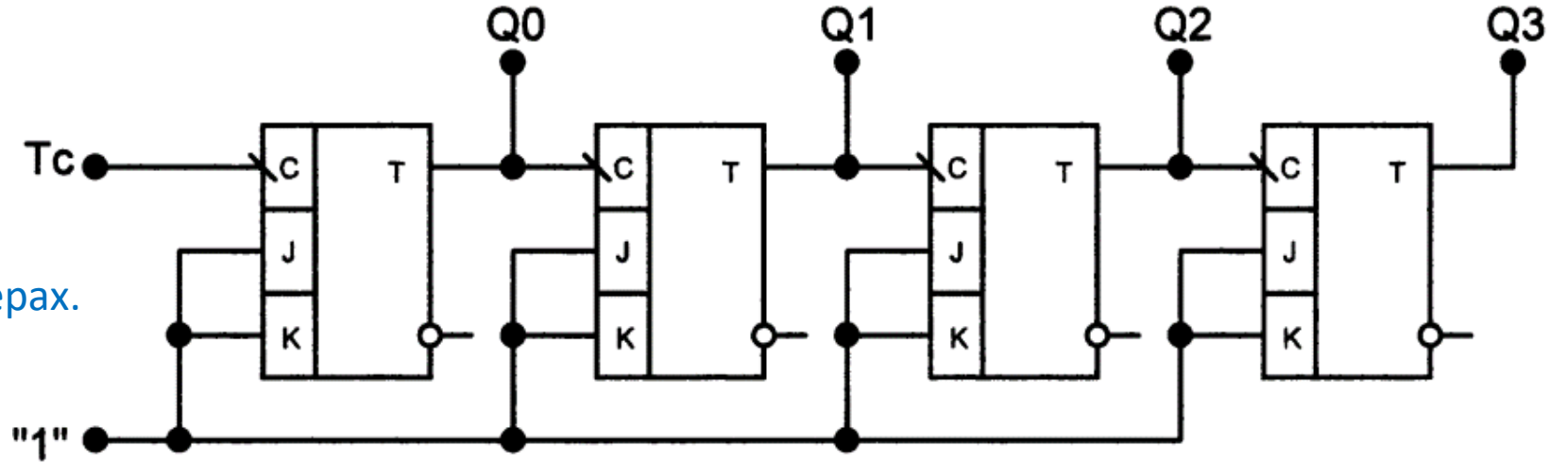
АСИНХРОННЫЙ СЧЁТЧИК

Все триггеры включаются последовательно, следовательно, и выходы счетчика также переключаются последовательно. Задержка переключения каждого разряда примерно равна задержке триггера. При периоде входного сигнала, меньшем полной задержки установления кода счетчика, правильный код на его выходе не успеет установиться. Это накладывает ограничения на максимальную частоту входного сигнала.

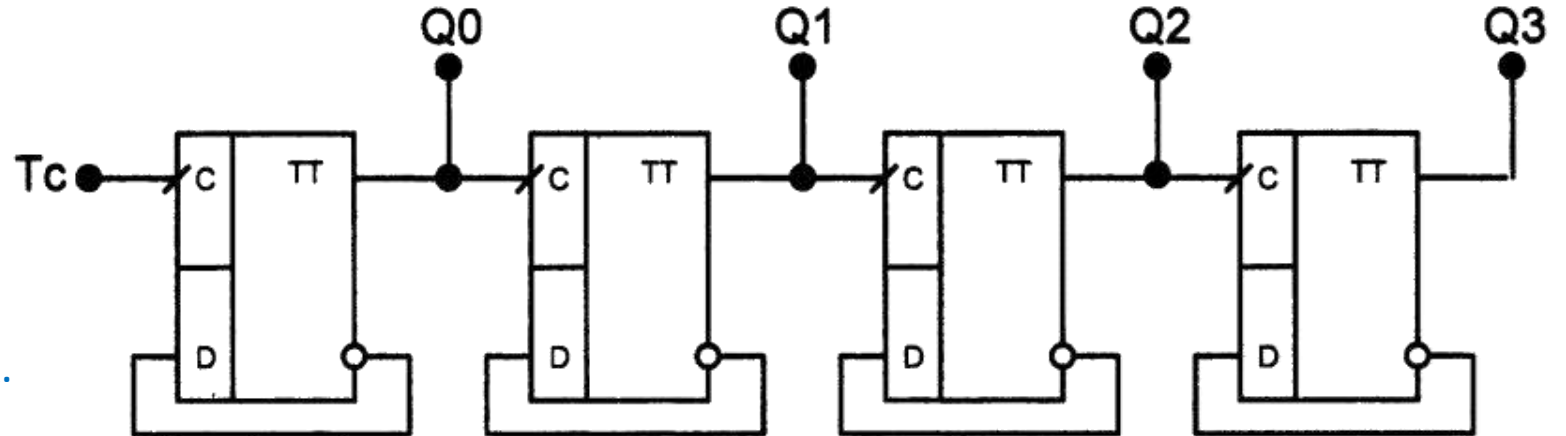


ВАРИАНТЫ АСИНХРОННЫХ СЧЁТЧИКОВ

Асинхронный последовательный суммирующий счетчик на JK-триггерах.

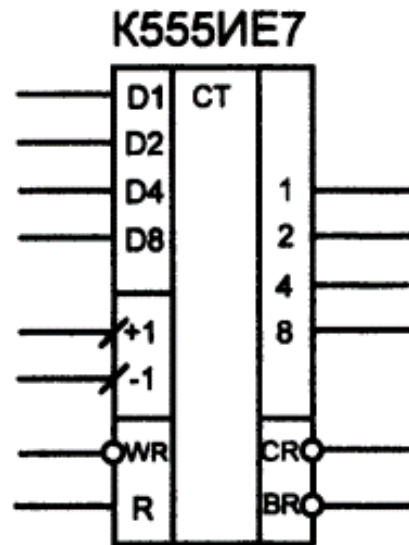
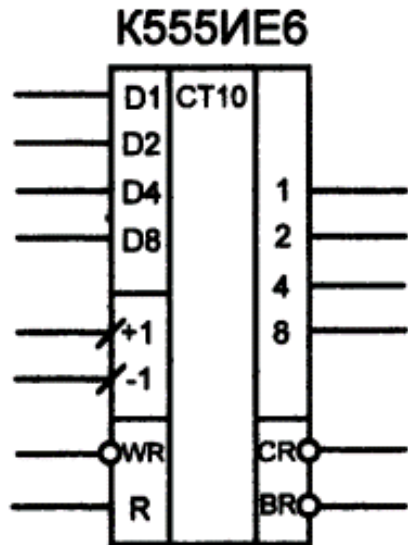


Асинхронный последовательный вычитающий счетчик на D-триггерах.



СИНХРОННЫЙ СЧЁТЧИК С АСИНХРОННЫМ ПЕРЕНОСОМ

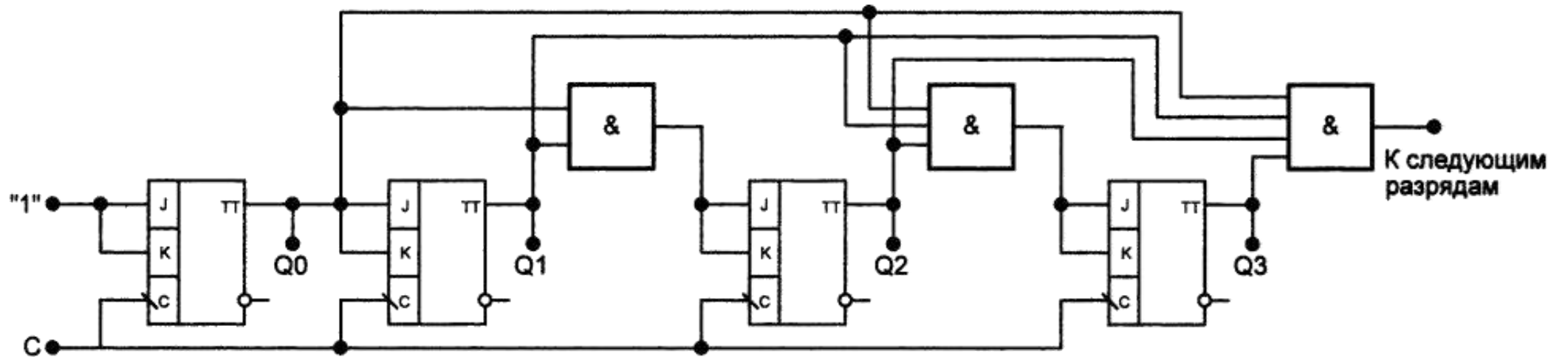
Синхронные счетчики с асинхронным переносом отличаются тем, что переключение разрядов осуществляется одновременно, а сигнал переноса вырабатывается с некоторой задержкой. Типичными представителями синхронных счетчиков с асинхронным переносом являются микросхема декадного реверсивного счетчика K555IE6 (счет от 0 до 9) и двоичного четырёхразрядного реверсивного счётчика K555IE7 (счет от 0 до 15).



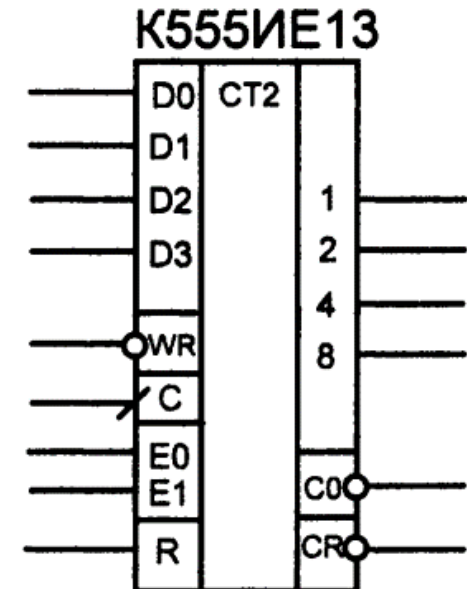
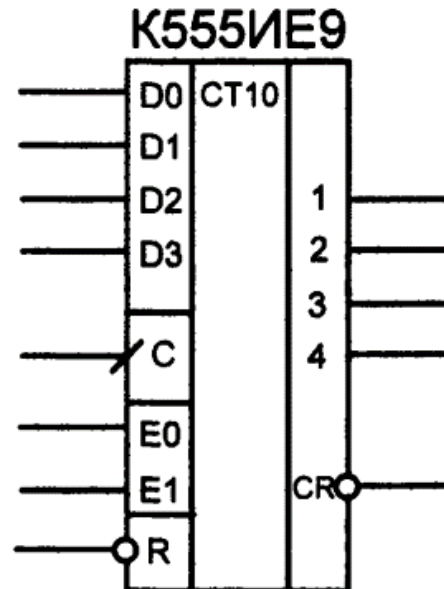
Декадный счётчик считает в двоично-десятичном коде от 0 до 10.

Реверсивный счётчик - счётчик, работающий как в прямом, так и в обратном направлении счёта импульсов в зависимости от уровня управляющего сигнала (WR, он же V). +1 и -1 – тактовые входы C_1 и C_2 , R – сигнал обнуления, CR – сигнал переноса, BR – сигнал заёма, 8 нога – общий, 16 – напряжение питания.

СИНХРОННЫЙ СЧЁТЧИК



В синхронных счётчиках переключение разрядов осуществляется одновременно. Сигнал переноса синхронно подается на вход разрешения счета каждого последующего счётчика. Синхронные счетчики могут полностью заменить функционал асинхронных и синхронных с асинхронным переносом счетчиков, имея самое высокое быстродействие.

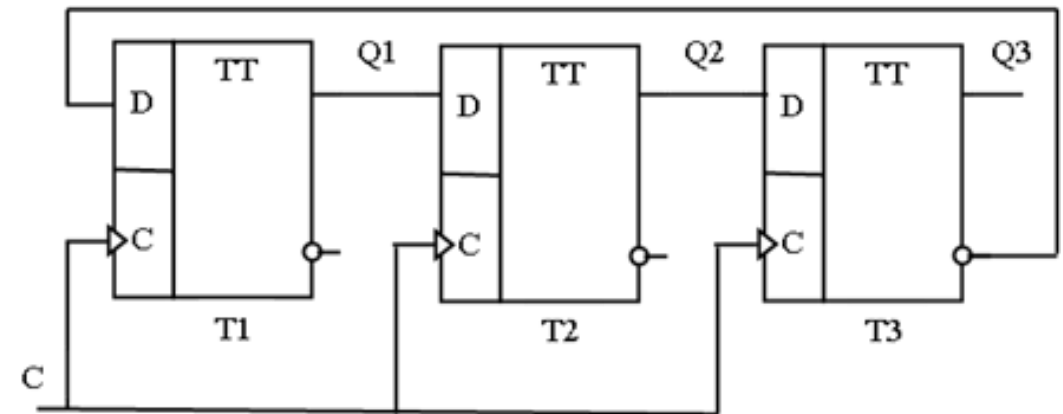
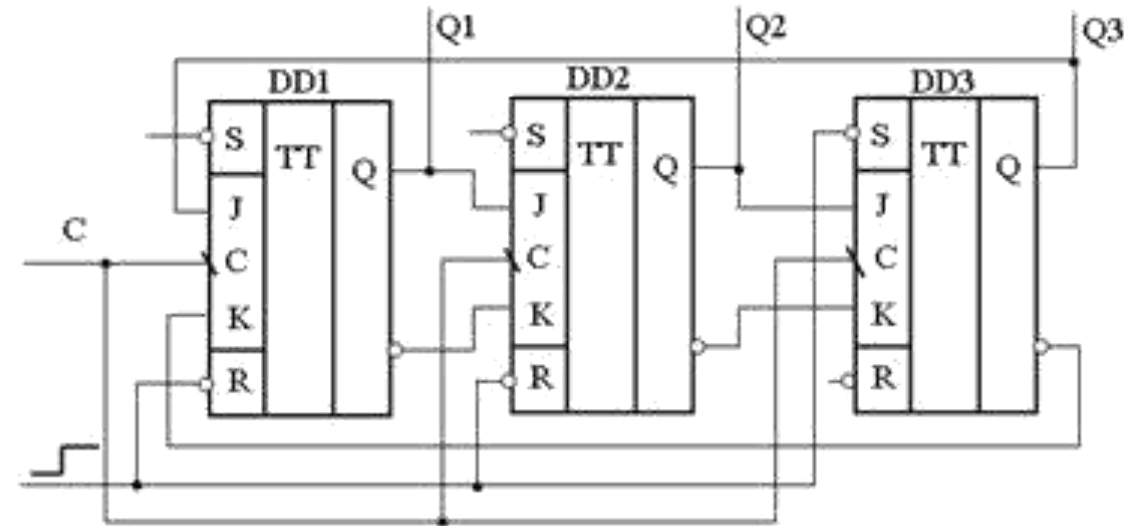


КОЛЬЦЕВЫЕ СЧЁТЧИКИ

"Кольцевые" счетчики – это, на самом деле, замкнутые в кольцо регистры сдвига, состояния триггеров в которых изменяются под воздействием входных сдвигающих импульсов. В простейшем случае по кольцу циркулирует одна кодовая единица, так что коэффициент пересчета счетчика равен числу входящих в него триггеров.

Счетчик Джонсона является разновидностью кольцевого счётчика. Он имеет коэффициент пересчета, вдвое больший числа составляющих его триггеров. В частности, если счетчик состоит из трех триггеров, то он будет иметь шесть устойчивых состояний. Код, в котором работает счетчик Джонсона, называют кодом Либау-Крейга.

N	Q_1	Q_2	Q_3
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1
6	0	0	0



СПАСИБО ЗА ВНИМАНИЕ!

